GN009 Application Note

GaN E-HEMTを実装する PCBのレイアウト設計手順

March 08, 2022

GaN Systems Inc.

概要

- GaN Systems' E HEMTs 非常に低いパッケージングインダクタンスを持ちながら、超低インダクタンスPCBパワーループを実現

- 寄生インダクタンスを最小限に抑え、その利点を最大限に活用するには、レイアウト技術の優れたエンジニアリング手法が必要です GaN Systems' E HEMTs

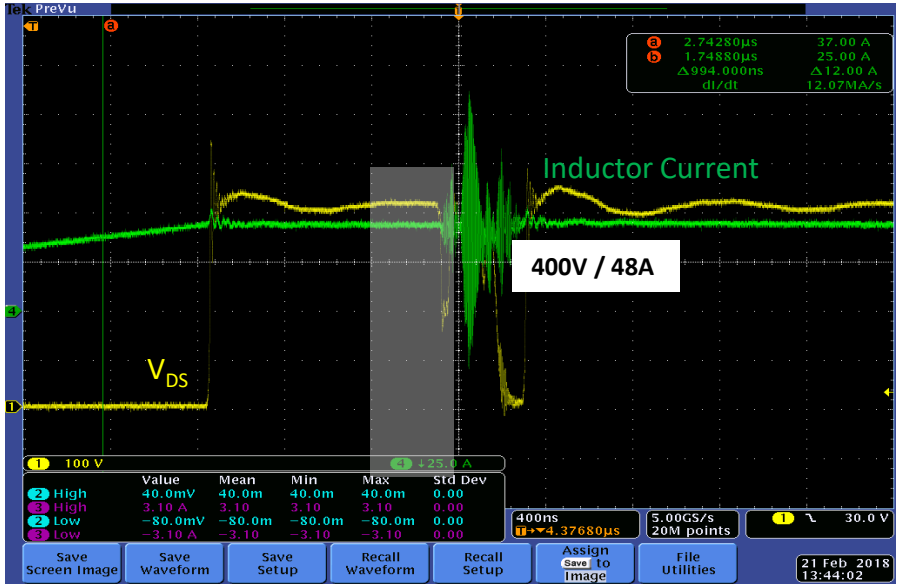
- このアプリケーションノートでは、コンバーターのパフォーマンスを最大化するためにGaNを使用して最適なPCBレイアウトを設計するための重要な手順を示します

前書き

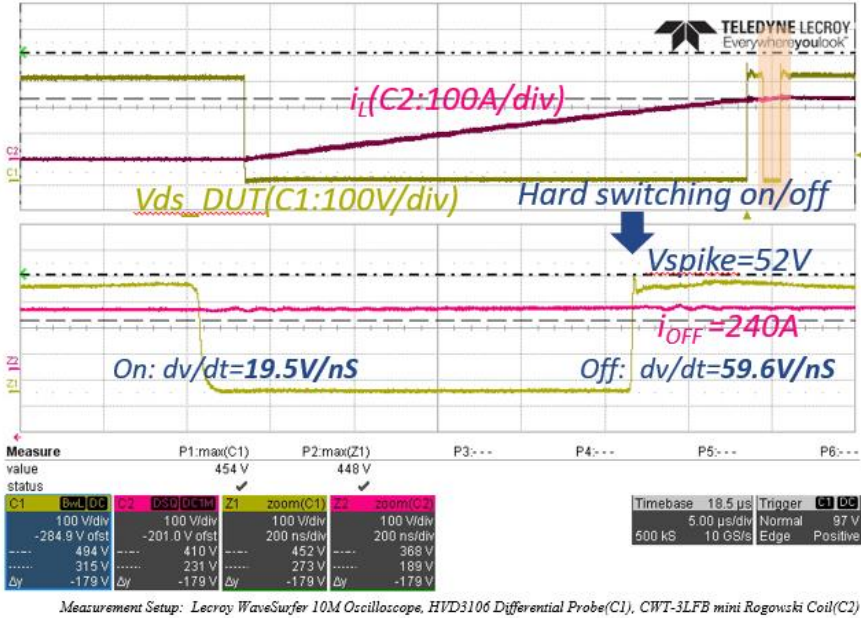
- PCB レイアウト の方法と事例.
- 以下のレイアウトに関して紹介:
  1) シングルGaN E-HEMTの非絶縁ゲートドライバ回路
  2) 並列GaN E-HEMTの絶縁ゲートドライバ回路
  3) ハーフブリッジ　ブートストラップゲートドライバ回路
  4) EZDrive　回路
- 最適なレイアウトによる GaN E-HEMTの最適なスイッチングを実現

GaNの適用時の低インダクタンスのPCB設計の必要性

- ❑GaN E-HEMTは既存のSi MOSFETよりかなり高速なので、既存のPCBレイアウトより、さらに寄生インダクタを低く抑えるレイアウトの考慮が必要です.
- ❑寄生インダクタは、オーバーシュート、リンギング/振動等の発生により、EMCや故障の原因になります.



失敗事例；ソースインダクタンスのアンバランスによる発振波形（ダブルパルステスト（DPT））



適切なPCBレイアウトの時のクリーンなスイッチング波形（400V/240A DPT）

PCB レイアウトの手順

Step 1:回路図で、重要なループを特定する

- シングルGaN E-HEMTの絶縁ゲートドライバ回路
- 並列GaN E-HEMTの絶縁ゲートドライバ回路
- ハーフブリッジ　ブートストラップゲートドライバ回路
- EZDrive　回路

Step 2:設計の優先順位と電流の向きに従いできるだけコンパクトに部品を配置する

- 電流の向きに従って部品を順番に配置する
- すべてのループの最小化が困難な場合、優先順位のリストを参照

Step 3: 磁気キャンセルの技術を用いて低インダクタンスの配線する

PCB レイアウトの手順

Step 1:回路図で、重要なループを特定する

- シングルGaN E-HEMTの絶縁ゲートドライバ回路
- 並列GaN E-HEMTの絶縁ゲートドライバ回路
- ハーフブリッジ　ブートストラップゲートドライバ回路
- EZDrive　回路

Step 2:設計の優先順位と電流の向きに従いできるだけコンパクトに部品を配置する。

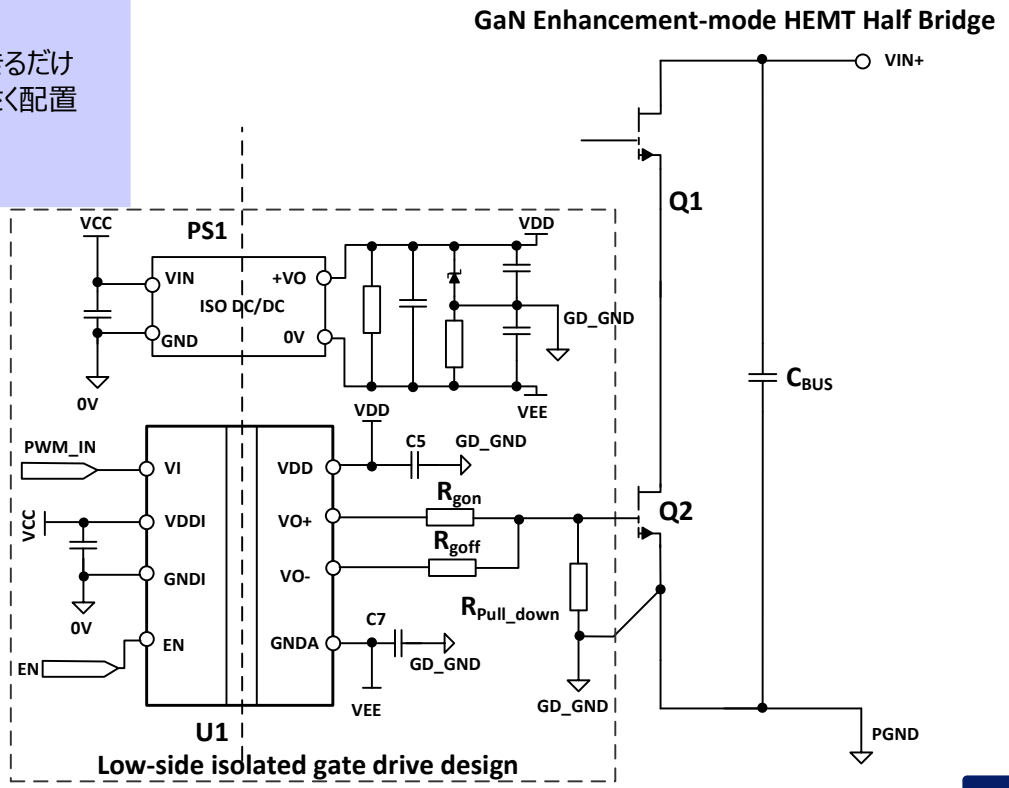
- 電流の向きに従って部品を順番に配置する
- すべてのループの最小化が困難な場合、優先順位のリストを参照

Step 3: 磁気キャンセルの技術を用いて低インダクタンスの配線する。

シングルGaN E-HEMTの絶縁ゲートドライバ回路

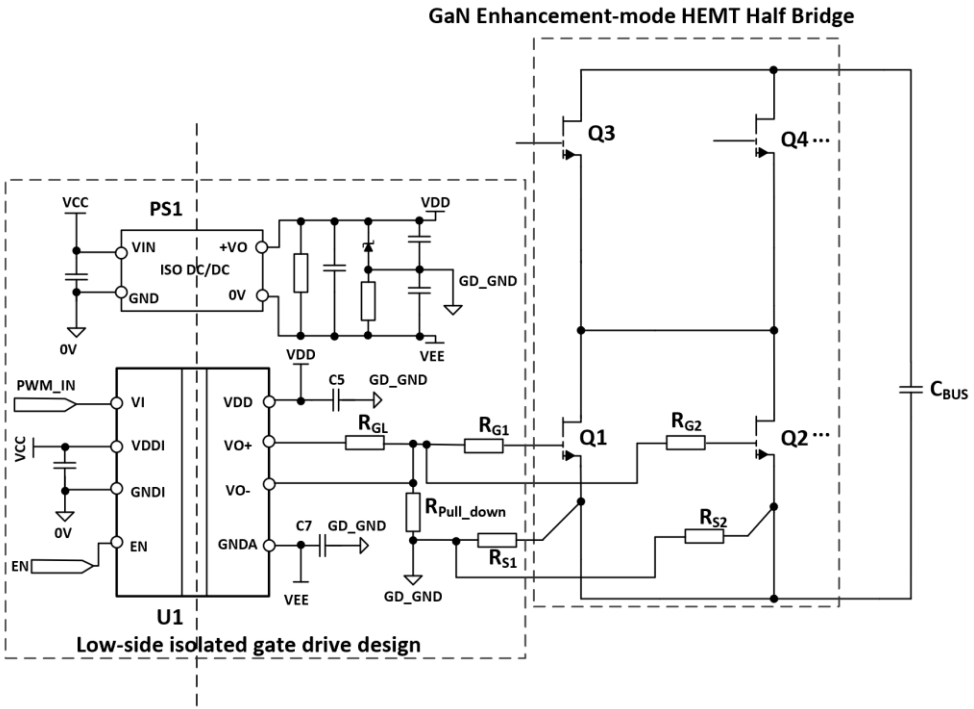
優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1,Q2,C_{BUS}	できるだけ小さく配置
2	*ローサイドゲートドライバルー(ターンオン)	C5,U1,R_{gon}, Q2	
2	*ローサイドドライバループ(ターンオフ)	C7,U1,R_{goff}, Q2	

- 回路図には示していないが、ハイサイド（HS）もローサイド（LS)と同じ配置にする
- HSゲートループの優先順位はLSと同じ



並列GaN E-HEMTの絶縁ゲートドライバ回路

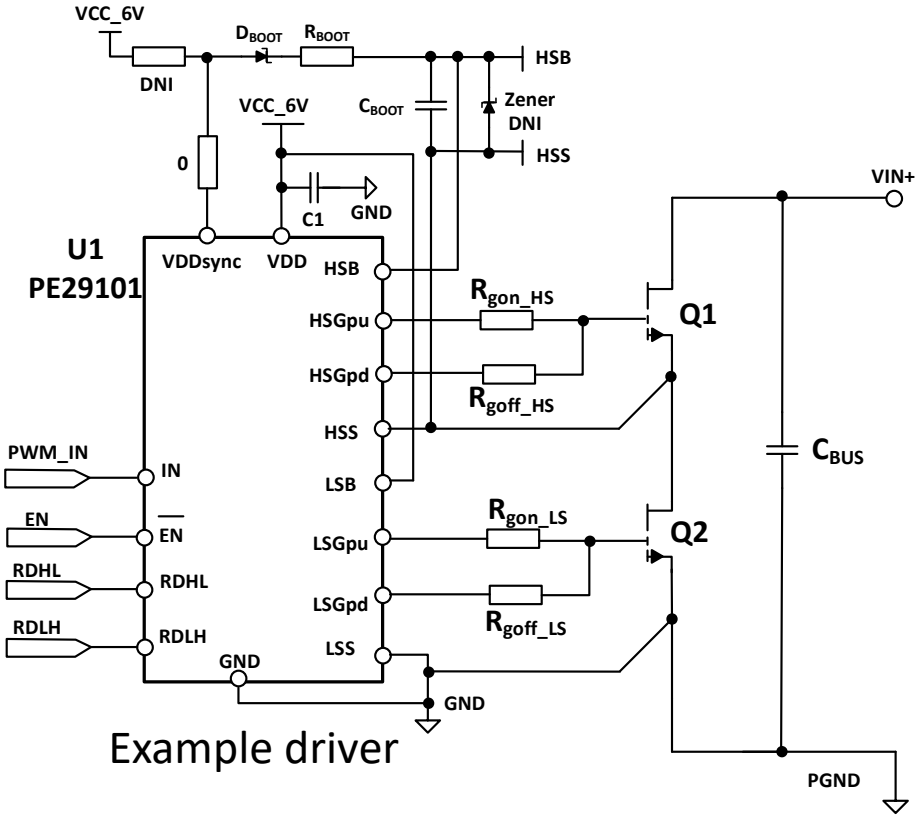
優先順位	重要なループ	部品	デザインルール
1	擬似コモンソースループ(ハイサイド)	Q3, Q4	できるだけ小さく かつ並列のデバイスは対象に配置する
1	擬似コモンソースループ(ローサイド)	Q1, Q2	
2	主回路転流ループ	C_{BUS}, Q3/Q4, Q1/Q2	
3	*ローサイドゲートドライバループ(ターンオン)	C5, U1, RGL, R_{G1}/Q1/R_{S1}, R_{G2}/Q2/R_{S2}	
3	*ローサイドゲートドライバループ(ターンオフ)	C7, U1, R_{G1}/Q1/R_{S1}, R_{G2}/Q2/R_{S2}	



- 回路図には示していないが、ハイサイド（HS)もローサイド（LS)と同じ配置にする
- HSゲートループの優先順位はLSと同じ
- **ゲートとソース抵抗（R_{G1}/ R_{G2} と R_{S1}/ R_{S2} ）は分けて配置する**

ハーフブリッジ　ブートストラップゲートドライバ回路

優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1, Q2, C_{BUS}	できるだけ小さく配置
2	ハイサイドゲートドライバループ（ターンオン）	D_{BOOT}, R_{BOOT}, C_{BOOT}, U1, R_{gon_HS}, Q1	
2	ハイサイドゲートドライバループ（ターンオフ）	Q1, R_{goff_HS}, U1	
2	ローサイドゲートドライバループ（ターンオン）	C1, U1, R_{gon_LS}, Q2	
2	ローサイドゲートドライバループ（ターンオフ）	Q2, R_{goff_LS}, U1	

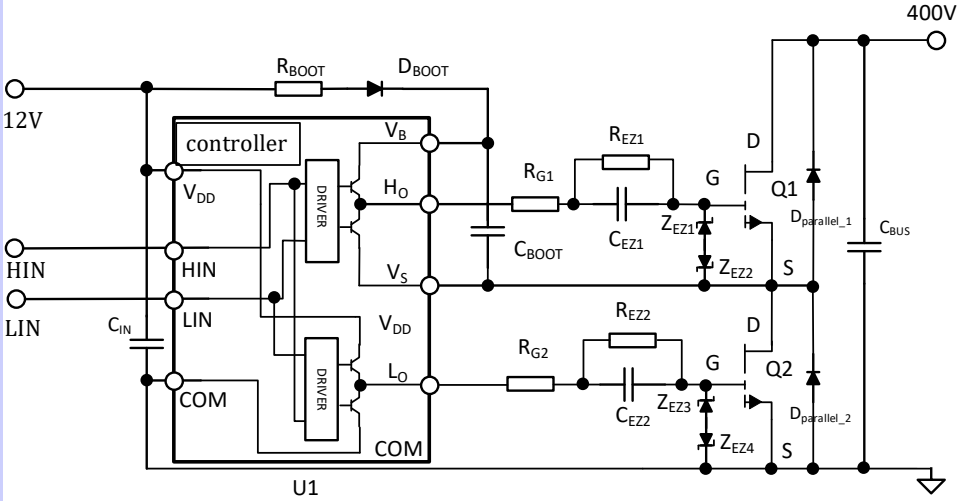


Example driver

- 上記の表を使用して、重要なループと部品の優先順位を特定

EZDrive 回路 (非絶縁ハーブリッジゲートドライバ)

優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1, Q2, C_{BUS}	できるだけ小さく配置
2	ハイサイドゲートドライバループ (ターンオン)	R_{BOOT}, D_{BOOT}, C_{BOOT}, U1, R_{G1}, R_{EZ1}, C_{EZ1}, Z_{EZ1}, Z_{EZ2}, Q1	
2	ハイサイドゲートドライバループ (ターンオフ)	Q1, Z_{EZ1}, Z_{EZ2}, R_{EZ1}, C_{EZ1}, R_{G1}, U1	
2	ローサイドゲートドライバループ (ターンオン)	U1, R_{G2}, R_{EZ2}, C_{EZ2}, Z_{EZ3}, Z_{EZ4}, Q2	
2	ローサイドゲートドライバループ (ターンオフ)	Q2, Z_{EZ3}, Z_{EZ4}, R_{EZ2}, C_{EZ2}, R_{G2}, U1	



*EZDrive回路図: ゲートドライバICを使用

- 上記の表を使用して、重要なループと部品の優先順位を特定

*注意: EZDrive℠ に関するより詳細な情報は以下のリンクを参照ください:
https://gansystems.com/wp-content/uploads/2018/12/GN010-EZDrive-Solution-for-GaN-Systems-E-HEMTs-_20181221.pdf

PCB レイアウトの手順

Step 1:回路図で、重要なループを特定する

- Isolated gate driver circuit for single GaN HEMTs
- Isolated gate driver circuit for paralleled GaN HEMTs
- Half-bridge Bootstrap gate driver circuit
- EZDrive^{SM} circuit

Step 2:設計の優先順位と電流の向きに従いできるだけコンパクトに部品を配置する

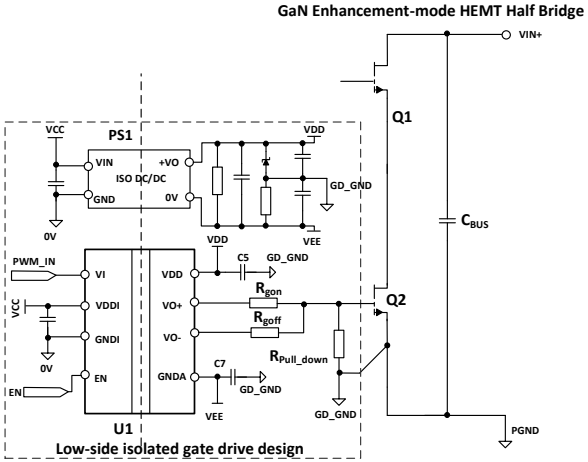
- 電流の向きに従って部品を順番に配置する
- すべてのループの最小化が困難な場合、優先順位のリストを参照

Step 3: 磁気キャンセルの技術を用いて低インダクタンスの配線する。

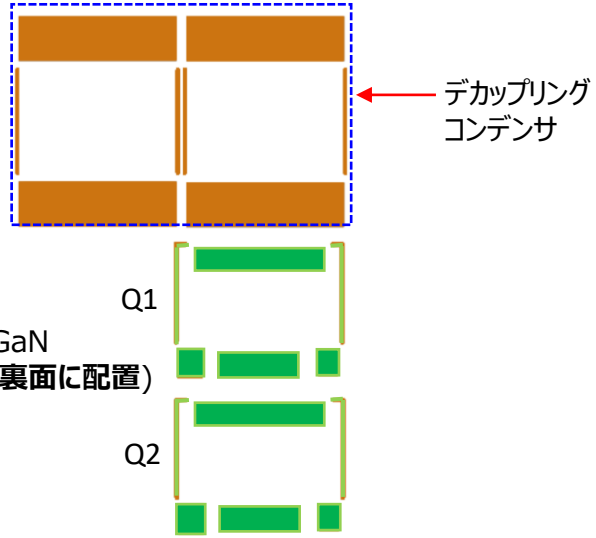
Step 2.1: 主回路転流ループ (トップサイド放熱GaN)

例:シングルGaN E-HEMTの絶縁ゲートドライバ回路

- 部品をできるだけ近接して配置する



PCBレイアウト



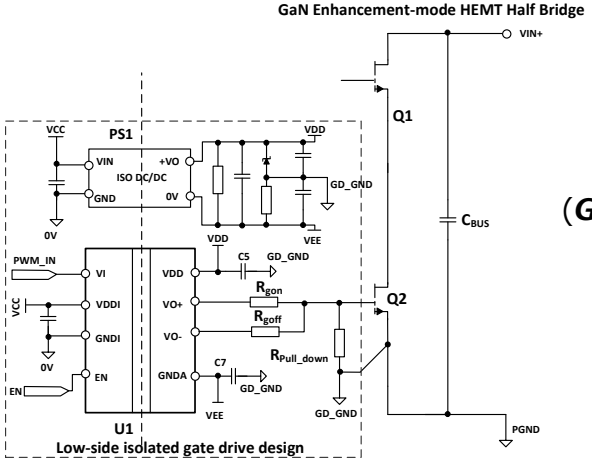
例: トップサイドクリーリングGaN
(***GaN HEMT Q1/Q2 はPCBの裏面に配置***)

優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1,Q2,C_{BUS}	できるだけ小さく配置
2	*ローサイドゲートドライバループ(ターンオン)	C5,U1,R_{gon}, Q2	
2	*ローサイドドライバループ(ターンオフ)	C7,U1,R_{goff}, Q2	

Step 2.2: ゲートドライバループ(トップサイド放熱のGaN)

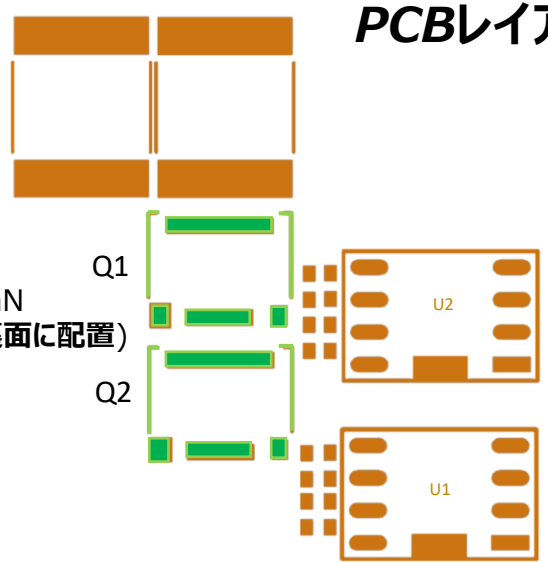
例:シングルGaN E-HEMTの絶縁ゲートドライバ回路

- ゲートドライバをゲートの近くに配置する
- ゲートドライバへの配線にケルビンソース接続を用いる

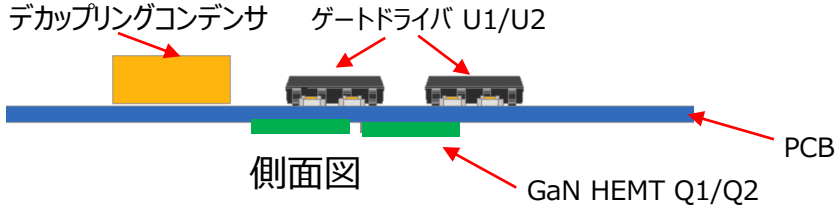


例: トップサイドクリーリングGaN
(***GaN HEMT Q1/Q2 はPCBの裏面に配置***)

PCBレイアウト



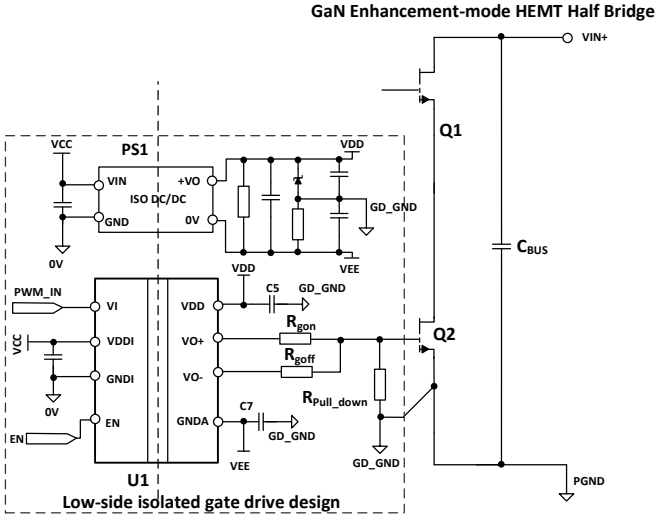
優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1,Q2,C_{BUS}	できるだけ小さく配置
2	*ローサイドゲートドライバルー(ターンオン)	C5,U1,R_{gon}, Q2	
2	*ローサイドドライバループ(ターンオフ)	C7,U1,R_{goff}, Q2	



Step 2.1: 主回路転流ループ (ボトムサイド放熱のGaN)

例:シングルGaN E-HEMTの絶縁ゲートドライバ回路

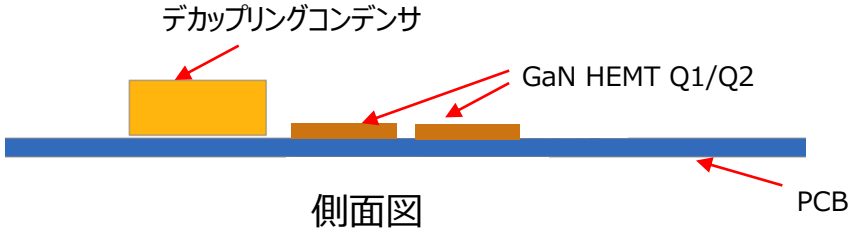
- 部品をできるだけ近接して配置する



優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1,Q2,C_{BUS}	できるだけ小さく配置
2	*ローサイドゲートドライバループ(ターンオン)	C5,U1,R_{gon}, Q2	
2	*ローサイドドライバループ(ターンオフ)	C7,U1,R_{goff}, Q2	

PCB レイアウト

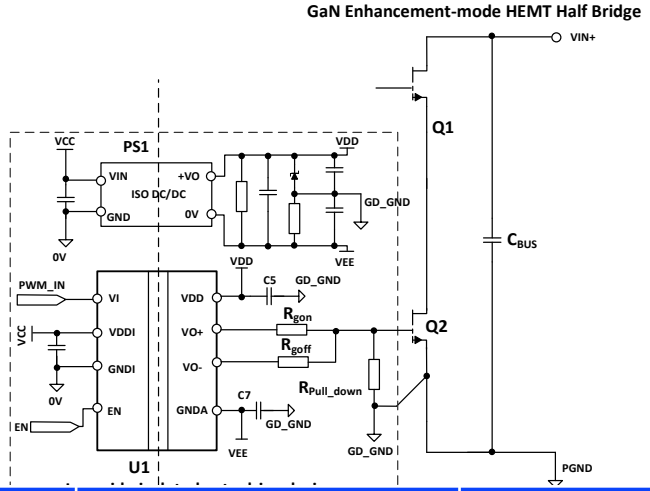
例: ボトムサイド放熱GaN
(ゲートドライバ/GaN HEMT Q1Q2/コンデンサは同一PCB基板面 PCB)



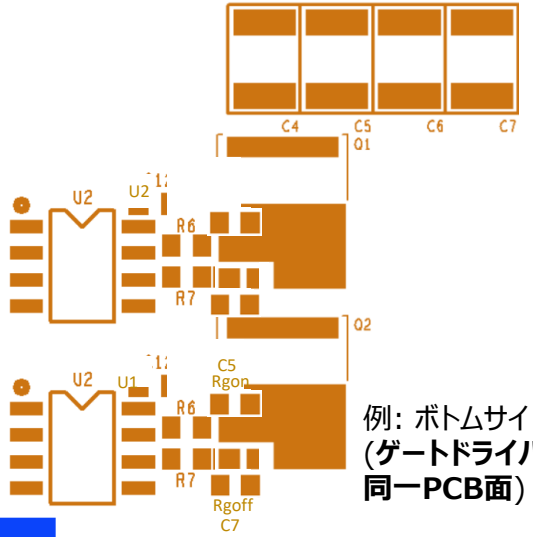
Step 2.2: ゲートドライバループ(トップサイド放熱のGaN)

例:シングルGaN E-HEMTの絶縁ゲートドライバ回路

- ゲートドライバをゲートの近くに配置する
- ゲートドライバへの配線にケルビンソース接続を用いる

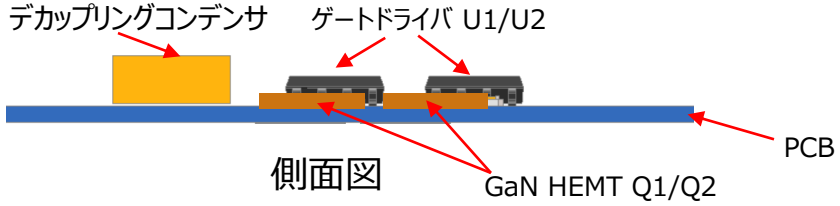


PCB レイアウト



例: ボトムサイド放熱GaN
(ゲートドライバ/GaN HEMT Q1Q2/コンデンサは同一PCB面)

優先順位	重要なループ	部品	デザインルール
1	主回路転流ループ	Q1,Q2,C_{BUS}	できるだけ小さく配置
2	*ローサイドゲートドライバルー(ターンオン)	C5,U1,R_{gon}, Q2	
2	*ローサイドドライバループ(ターンオフ)	C7,U1,R_{goff}, Q2	



PCB Layout Steps

Step 1:回路図で、重要なループを特定する

- Isolated gate driver circuit for single GaN HEMTs
- Isolated gate driver circuit for paralleled GaN HEMTs
- Half-bridge Bootstrap gate driver circuit
- EZDrive^{SM} circuit

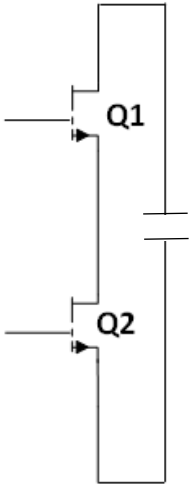
Step 2:設計の優先順位と電流の向きに従いできるだけコンパクトに部品を配置する。

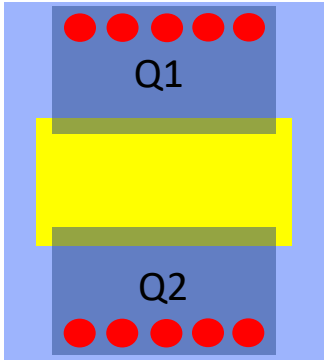
- 電流の向きに従って部品を順番に配置する
- すべてのループの最小化が困難な場合、優先順位のリストを参照

Step 3: 磁気キャンセルの技術を用いて低インダクタンスの配線する.

磁束キャンセル効果による寄生インダクタンスの低減

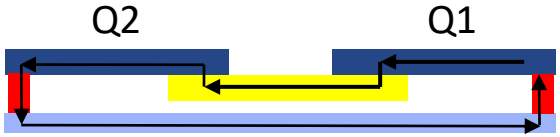
- 2つの隣接する導体が反対の電流方向で近くに配置されている場合、
  2つの電流によって発生する磁束は互いに打ち消しあう。
- この磁束キャンセル効果により、寄生インダクタンスを低減
- 高周波電流が隣接する2つのPCB層に反対方向に流れるようにレイアウト





Top View

部品
PCBのトップレイヤ
PCBのボトムレイヤ
ビア

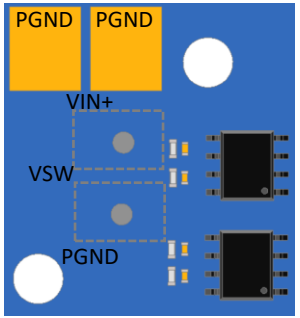


側面図

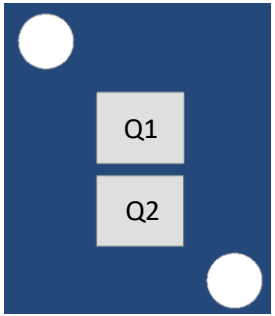
Step 3: 磁束キャンセル効果を用いて部品を接続

- 小さいループと低いインダクタンスでハーフブリッジのパワーループを構成する

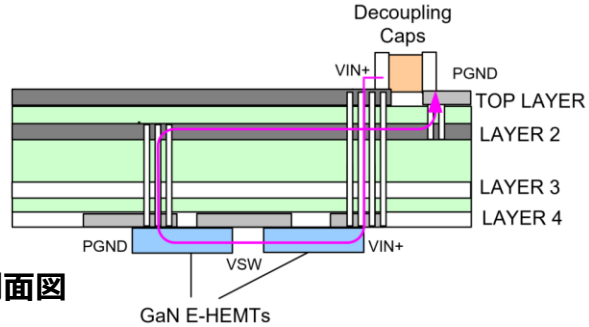
例: トップサイド放熱デバイス
(*GaN HEMT*は*PCB*の裏面に配置)



Top view

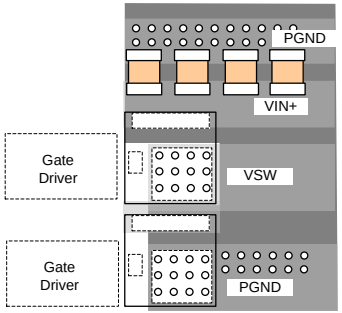


Bottom view

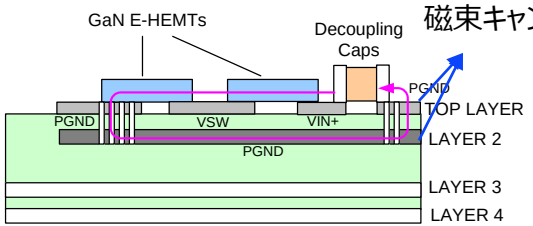


側面図

例: ボトムサイド放熱デバイス
(ゲートドライバ/*GaN HEMT*/コンデンサは
***PCB*の同一面に配置)**



Top view



磁束キャンセルを用いた配線

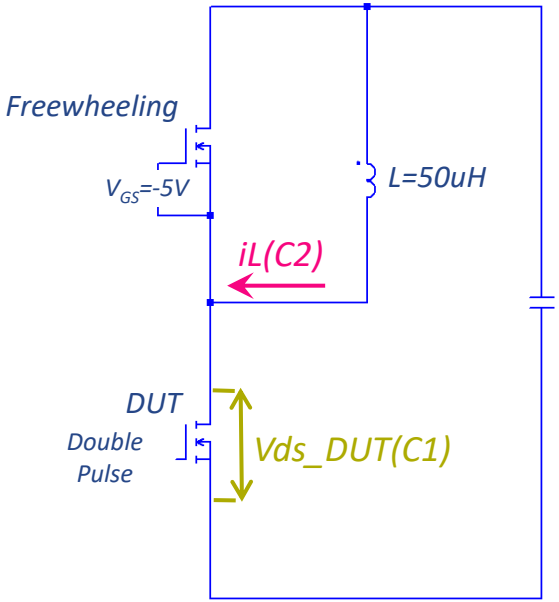
LAYER2をグランドとして
使用（４層基板）

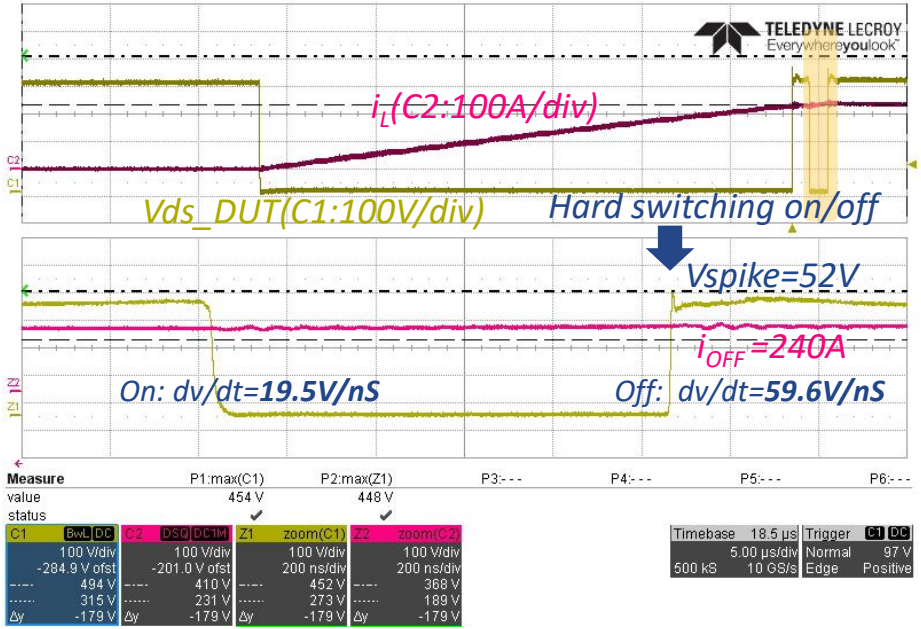
側面図

実験例: 400V/240A DPT ハードスイッチングテスト

DUT: GS66516T 4並列 ;　　フリーホイール: GS66516T 4並列

条件: V_{BUS}=400V, I_{DS_ON}=231A, I_{DS_OFF}=240A, V_{GS}=+6.8V/-5V, R_{G_ON}=4.55Ω, R_{G_OFF}=1.25Ω.





Measurement Setup: Lecroy WaveSurfer 10M Oscilloscope, HVD3106 Differential Probe(C1), CWT-3LFB mini Rogowski Coil(C2)

Experimental Waveform

- **ディレーティング無しのGaN HEMTの並列動作. 定格電流のハードスイッチングでもクリーンな波形.**
- **400V/240A ハードスイッチングでもV_{DS}定格に対して～200Vのマージンがあり.**

まとめ

- GaN E-HEMTはスイッチング速度が速いため、これを十分に活用するためには寄生インダクタンスを最小限に抑えるPCBレイアウトの技術が必要です.

- PCBレイアウトの最適化はGaNを用いたデザインが最高の性能を得るために重要です.
最適化されたPCBに低インダクタンスのGaNPx®を実装することで、
GaN SystemsのGaN E-HEMTは、最大のスイッチング性能を発揮します.

Tomorrow's power today™

Product and application support at

gansystems.com