GaN Systems

GN004 アプリケーションノート

並列GaN HEMT的设计注意事项

GaN Systems Inc.

2022年03月08日

はじめに

スイッチの並列動作は、トラクションインバータ、再生可能エネルギーシステムなどの高電力のアプリケーションに必要です。このアプリケーションノートでは、設計者が最適化された設計により最高のシステムパフォーマンスを達成できるように、GaN FETの設計上の考慮事項の詳細を提供します.

GaNを並列化する利点について、GaNの特性を示し、GaNが本質的に並列化に適していることを説明します.

全体的なシステムのパフォーマンスを向上させるには、並列のアプリケーションにおいても、レイアウトにより寄生の影響を減らす改善が必要であり、この設計について説明します.

4並列のGaN HEMTの設計例を示し、GaN HEMTの熱バランスが達成されている結果を示します.

目次

1 GaNを並列化することの**利点**

2 GaNの本質的な特性 – **並列化に適する**

GaNの本質的な特性
導通損失の分配: $R_{DS(on)}$ vs T_J
スイッチング損失の分配: $V_{GS(th)}$ vs T_J
スイッチング損失の分配: g_m vs T_J

3 GaNを並列化のレイアウトと設計の**注意点**

4 **GaN FETの4並列**の事例

5 まとめ

目次

1 GaNを並列化することの**利点**

2 GaNの本質的な特性 – **並列化に適する**

GaNの本質的な特性
導通損失の分配: $R_{DS(on)}$ vs T_J
スイッチング損失の分配: $V_{GS(th)}$ vs T_J
スイッチング損失の分配: g_m vs T_J

3 GaNを並列化のレイアウトと設計の**注意点**

4 **GaN FETの4並列**の事例

5 まとめ

1 GaNを並列化する利点

GaNトランジスタを並列化する目的

- スイッチの並列化は高電力を扱う、高出力電流、高効率のアプリケーションに必要です
- 例: トラクションインバータ, 再生可能エネルギーシステム、無停電電源装置等.

GaNパワーデバイスの並列化の利点

- サーマルマネージメントの改善
- 冗長性
- 出力電力の拡張性
- 標準化の容易さ

並列化に適する特性

- GaN Systems のE-HEMTデバイス特性は並列化に適します
- 並列化されたGaN HEMTの損失の分配 (導通ロスとスイッチングロス)に優れた能力を示します

目次

1 GaNを並列化することの**利点**

2 GaNの本質的な特性 – **並列化に適する**

GaNの本質的な特性
導通損失の分配: $R_{DS(on)}$ vs T_J
スイッチング損失の分配: $V_{GS(th)}$ vs T_J
スイッチング損失の分配: g_m vs T_J

3 GaNを並列化のレイアウトと設計の**注意点**

4 **GaN FETの4並列**の事例

5 まとめ

2 本質的なGaNの特性 – **並列化に適する**

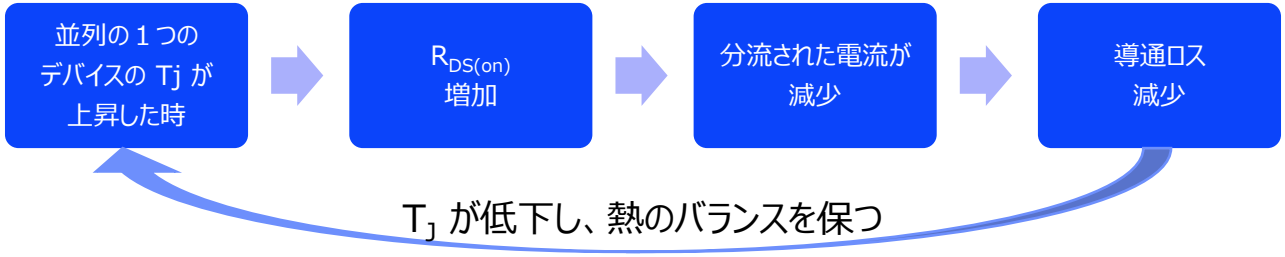
GaNの$R_{DS(on)}$は正の温度特性です

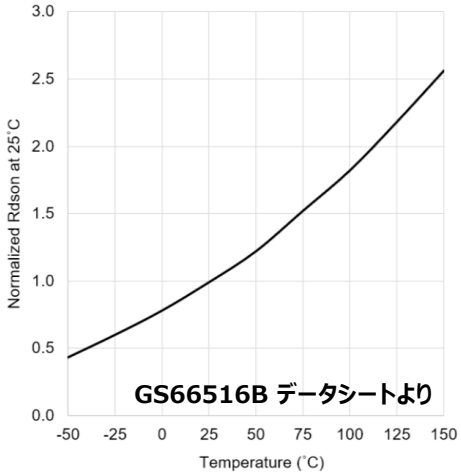
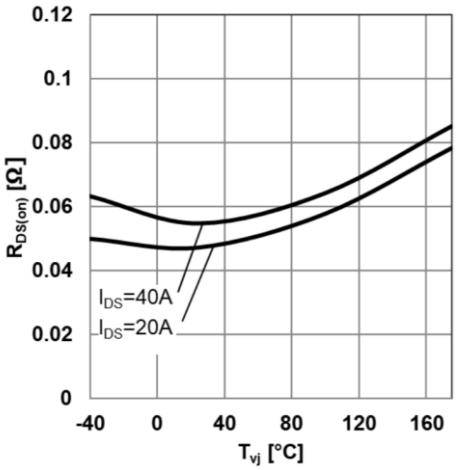
GaNのゲートソース閾値電圧$V_{GS(th)}$ は温度変化に対し安定してます

GaN E-HEMT の相互コンダクタンス g_m は温度が上がると低下します

2 導通ロスの分配: $R_{DS(on)}$ vs T_J

- GaN の $R_{DS(on)}$ は **正**の温度係数をもちます
- **正の温度係数** の $R_{DS(on)}$ は並列動作において、熱のバランスを**助けます**:

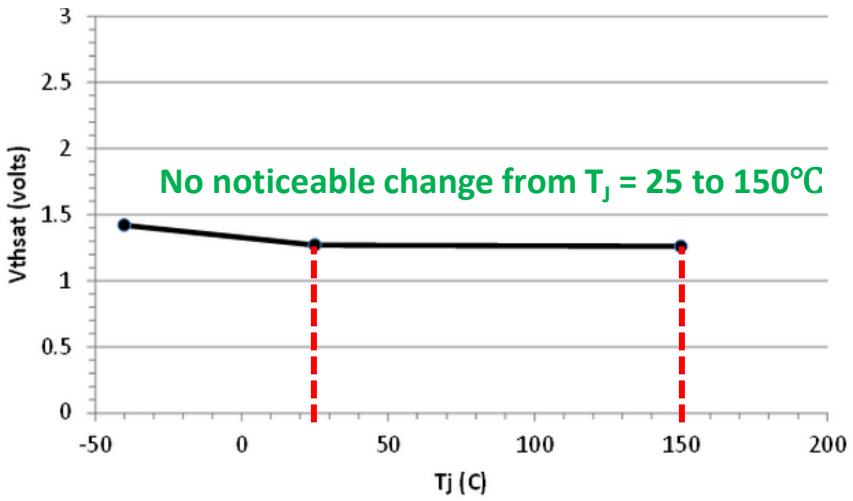
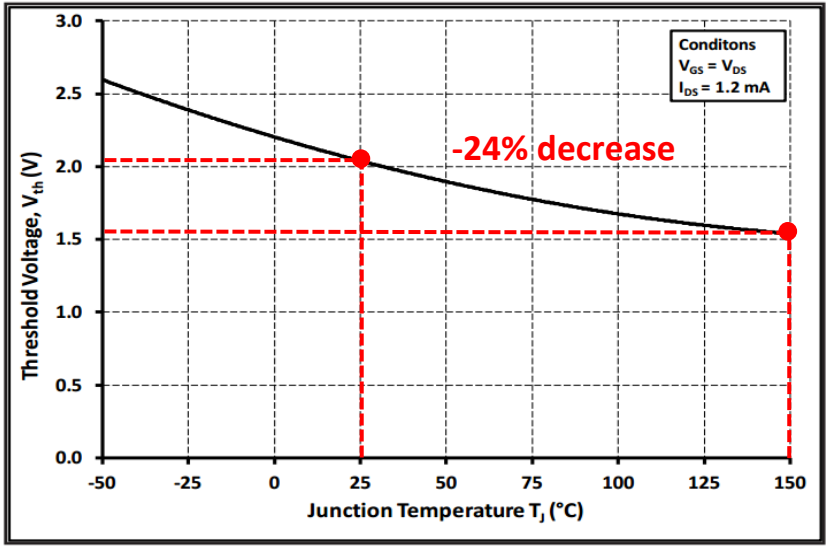


GaN $R_{DS(on)}$ 温度特性	SiC $R_{DS(on)}$ 温度特性
	

- SiCと比較すると,
- GaNの $R_{DS(on)}$ は変曲点のない強い正の温度特性なので、並列動作において、各デバイスの電流のシェアを**助けます**.

2 スイッチングロスの分配: $V_{GS(th)}$ vs T_J

- 並列動作おいて、電流の分流は**安定**したゲートソース閾値電圧$V_{GS(th)}$がとても有効です
- GaNの $V_{GS(th)}$は、SiCに比較して温度変化に対し**ほぼ変化がありません**
- GaNは並列化に優れた能力をもちます

GaN ゲートーソース閾値電圧 $V_{GS(th)}$ 温度特性	SiC ゲートーソース閾値 $V_{GS(th)}$ 温度特性
	

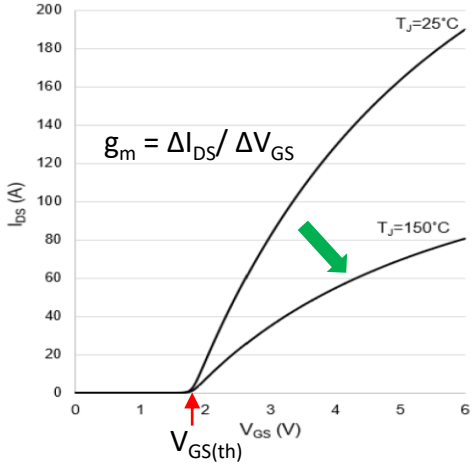
2 スイッチングロスの分配: g_m vs T_J

- GaN E-HEMTの相互コンダクタンス g_m は温度が上がると低下し, **並列化に適します**
- g_mは**負**の温度係数なので、並列動作において、温度のバランスを助けます:

並列の１つのデバイスの T_J が増加した時 → $g_{(m)}$ 減少 → 分流された電流が減少 → スイッチングロスが減少

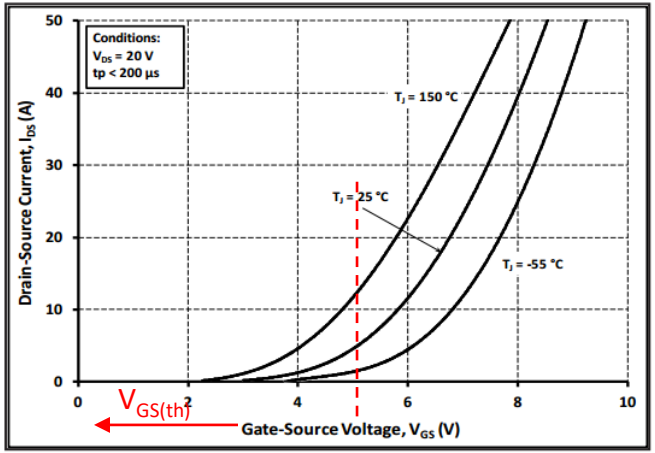
T_J が低下し温度バランスを保つ

GaN g_m 温度特性



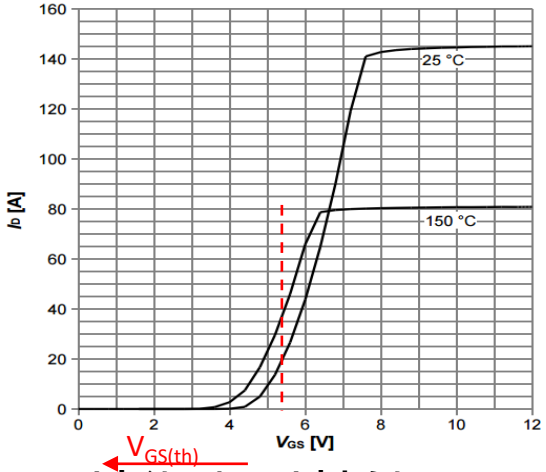
- T_Jが高くなるとI_{DS} は減少（同じV_{GS}の時）
- T_Jが高くなってもV$_{GS(th)}$は一定である

SiC g_m 温度特性



- T_Jが高くなるとI_{DS}は増加する（同じV_{GS}の時）
- T_Jが高くなると$V_{GS(th)}$ は減少する

Si g_m 温度特性



- T_Jは高くなるとg_mは変わらない
- T_Jが高くなると$V_{GS(th)}$ が減少する

目次

1 GaNを並列化することの**利点**

2 GaNの本質的な特性 – **並列化に適する**

GaNの本質的な特性
導通損失の分配: $R_{DS(on)}$ vs T_J
スイッチング損失の分配: $V_{GS(th)}$ vs T_J
スイッチング損失の分配: g_m vs T_J

3 GaNを並列化のレイアウトと設計の**注意点**

4 **GaN FETの4並列**の事例

5 まとめ

3 並列動作でキーとなるレイアウトのパラメータ

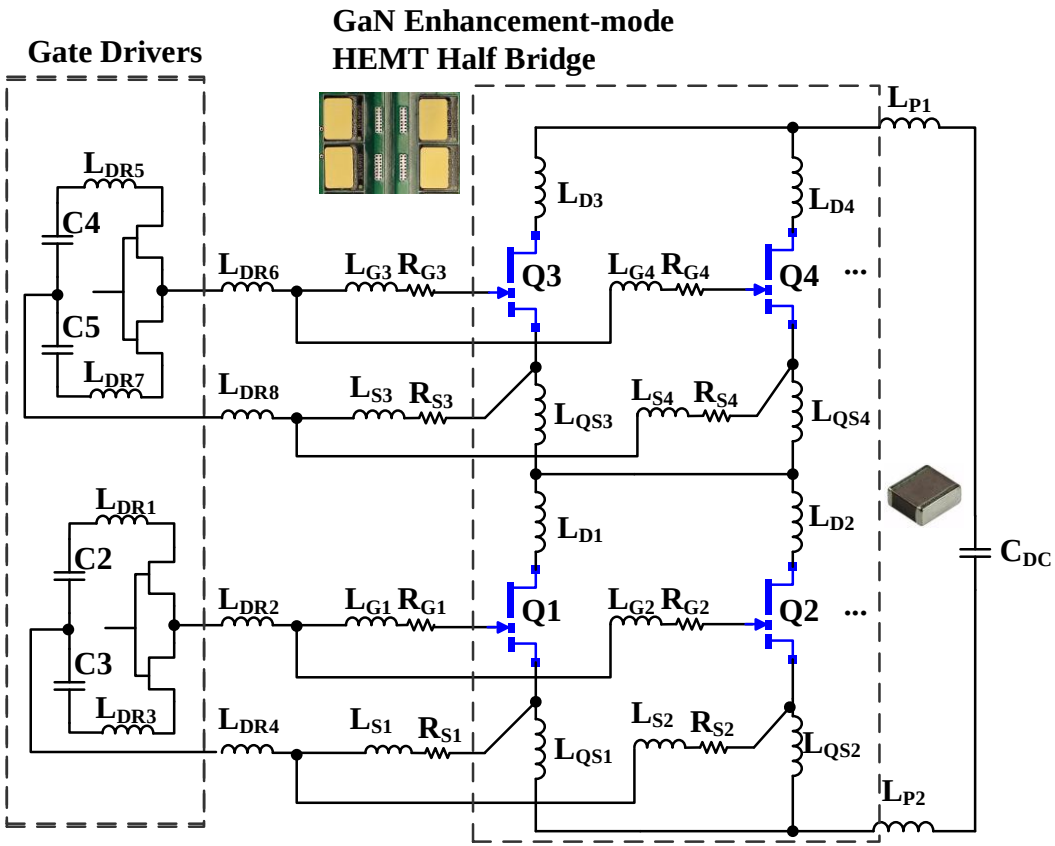
レイアウトのキーとなる寄生インダクタを示しますが、並列動作を最適化するため可能な限り低く抑えます:

L_{G1-4} & L_{S1-4}: ゲート／ソースインダクタンス

- **スター接続を用いてL_G/L_S を均等にし、**かつ低く抑えます.
- 並列デバイス間のゲートリンギングを低減するため**R_G/R_S を個々に設けること**を推奨します.

L_{QS1-4} ：コモンソースインダクタンス

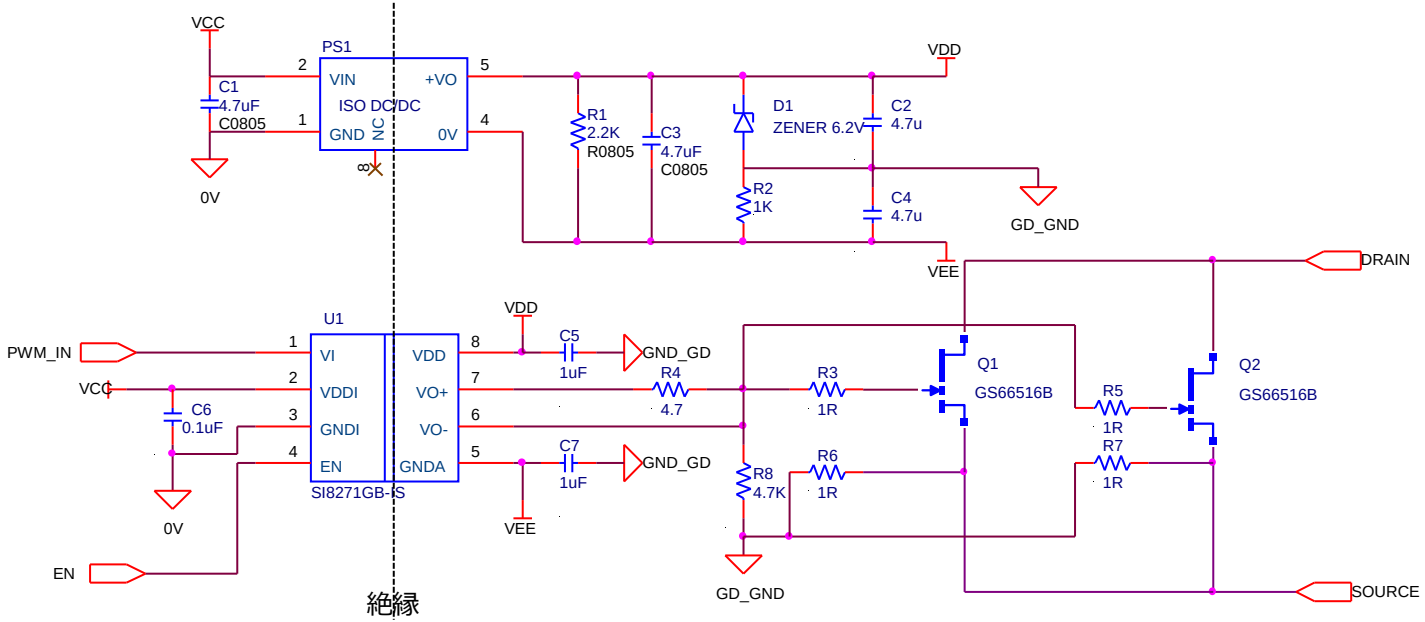
- パワーループスイッチングノイズ（L ＊ di / dt）をゲートドライブ回路に結合するインダクタンスとして定義され、スイッチングdi / dtをVGSにフィードバックします.
- パワーループとドライブループ間のシェアされた/コモンソースインダクタンスと相互インダクタンスを含みます.



3 設計の考慮：ゲートドライブループのレイアウト

ゲートドライブ回路設計の考慮：

- 高電流の並列設計では,**低いターンオフロス** と **よりロバスト**なゲートドライブのため、ゲートドライブのターンオフ電圧は負バイアス (-3V to -6V)が推奨されます．単電源(PS1)から6 .2Vのツェナーを用いて、正負のゲートドライブ電圧をつくります (VDD = 6.2V と VGD_GND = 6.2V-PS1 出力)
- ゲート抵抗 (R3/R5 = 1-2Ω) とソース抵抗 (R6/R7 = 1-2Ω) は、並列デバイス間の**ゲートリンギングを低減する**ために配置され、追加されています.
- ゲートドライブループの**最小化**は並列化したデバイスの分流の影響を抑えます.

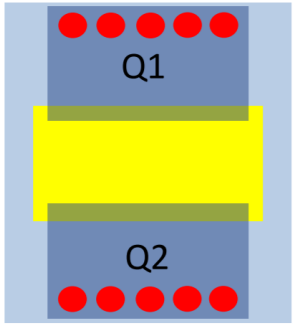


*ゲートドライブループを最適化するための詳細は ***アプリケーションノート GN009*** *(GaN E-HEMTを実装するPCBのレイアウト設計手順)* を参照ください

3設計の考慮: パワー転流ループのレイアウト

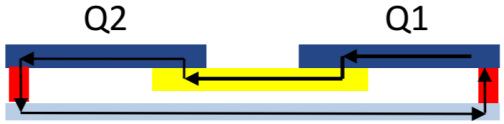
パワー転流ループの設計の考慮:

- ❑ パワーループの長さを最小にします (GaN FETとデカップリングコンデンサを含む)
- ❑ パワー転流ループインダクタンスを抑制するために、**磁束キャンセルのアプローチ**を用いることが重要です: when 2つの近接した導体に逆方向の電流を流すと、2つの電流により発生した磁束は互いに打ち消し合います.



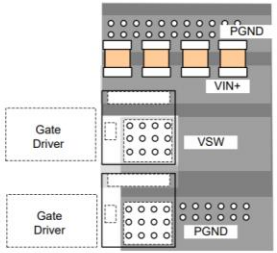
Components
Top layer of PCB
Bottom layer of PCB
Via

Top View

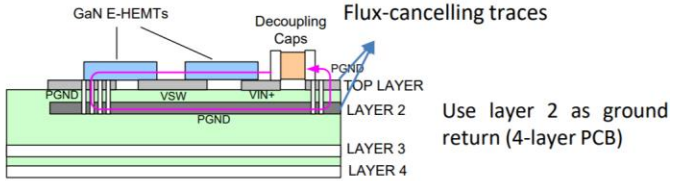


Side View

Example: Bottom-side cooled devices
(gate driver/GaN HEMT/caps on the same side of PCB)



Top view



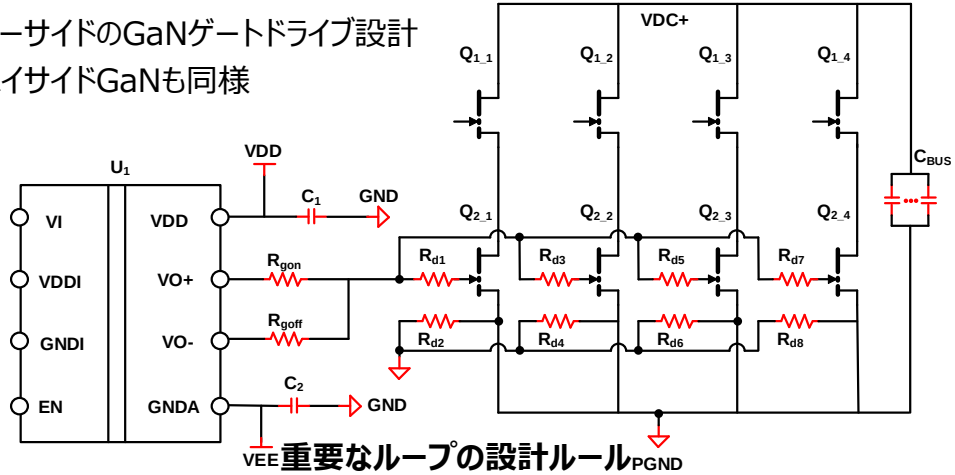
Side view

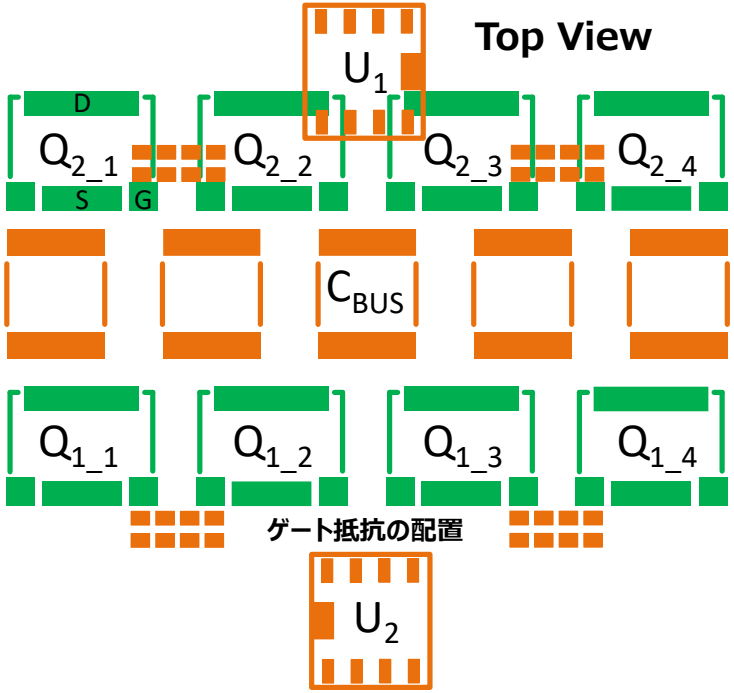
3 設計の考慮: 4並列のGaN FETのレイアウト例

4 並列のトップ放熱GaN FETの設計例:

主要部品をPCBにどのように配置するか紹介します

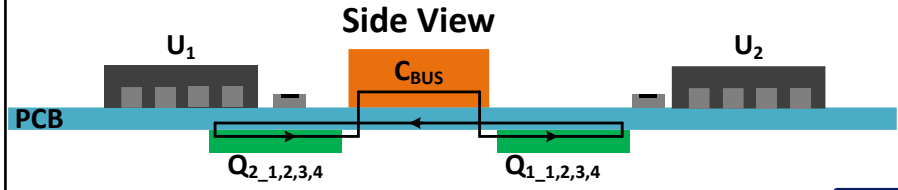
- ローサイドのGaNゲートドライブ設計
- ハイサイドGaNも同様





重要なループの設計ルール

重要なループ	部品	設計ルール
パワー転流ループ	$Q_{1_1,2,3,4}$, $Q_{2_1,2,3,4}$, C_{BUS}	1. 可能な限り小さくする 2. 並列の各デバイスのループ長を同じにする
ゲートドライバループ (turn-on)	R_{gon}, $R_{d1,3,5,7}$, $Q_{2_1,2,3,4}$, $R_{d2,4,6,8}$, C_1, U_1	
Gate Driver Loop (turn-off)	R_{goff}, $R_{d1,3,5,7}$, $Q_{2_1,2,3,4}$, $R_{d2,4,6,8}$, C_2, U_1	



目次

1 GaNを並列化することの**利点**

2 GaNの本質的な特性 – **並列化に適する**

GaNの本質的な特性
導通損失の分配: $R_{DS(on)}$ vs T_J
スイッチング損失の分配: $V_{GS(th)}$ vs T_J
スイッチング損失の分配: g_m vs T_J

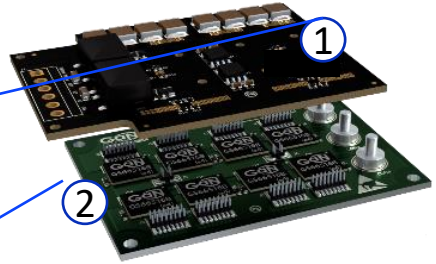
3 GaNを並列化のレイアウトと設計の**注意点**

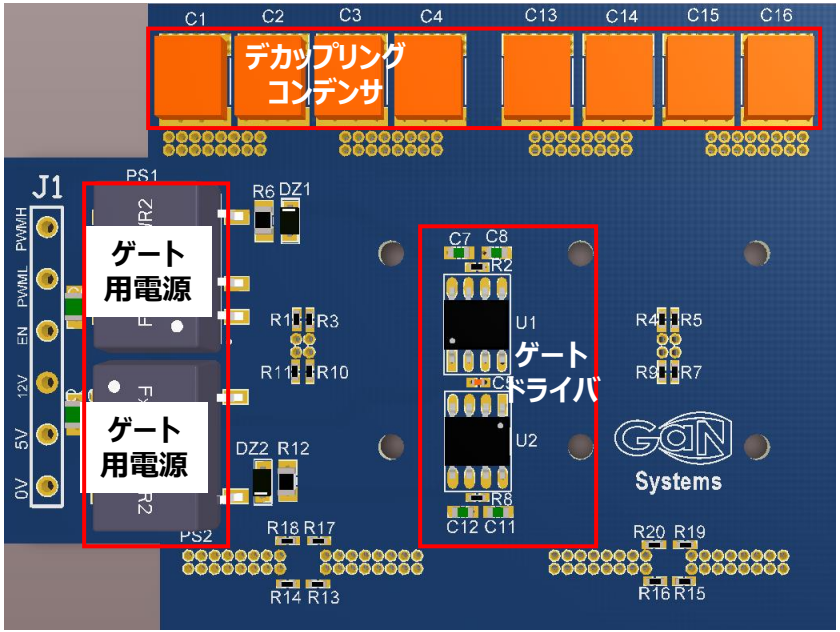
4 **GaN FETの4並列**の事例

5 まとめ

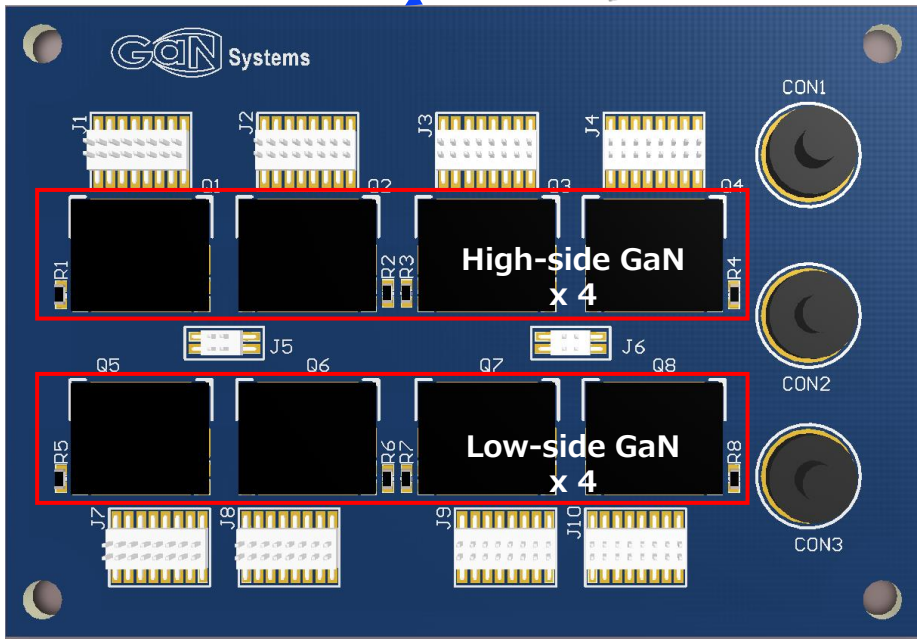
4 GS66516Bの4並列の事例

- **4x GS66516Bの４並列**(650V 240A)のIMS(金属基板)GaNモジュールについて、ゲートドライバとパワー部をどのようにレイアウトしているか示しています





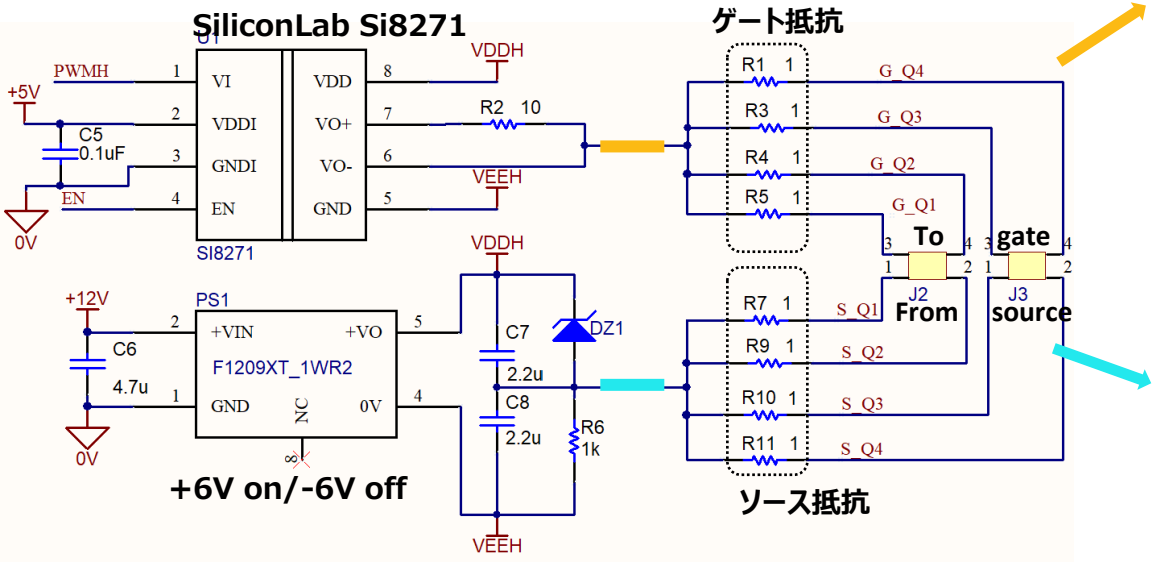
① ゲートドライバ



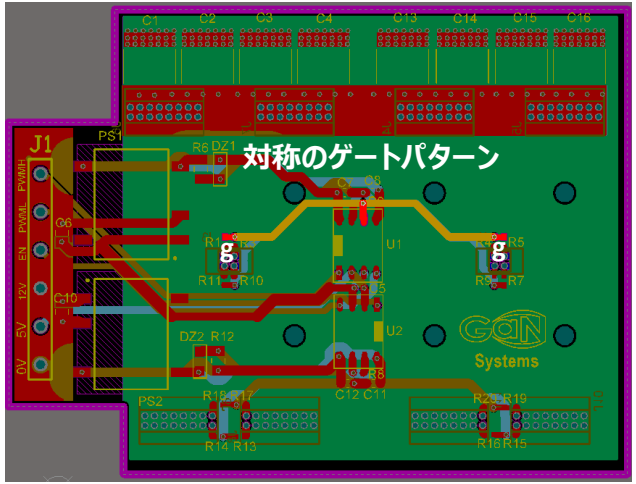
② IMS パワー部

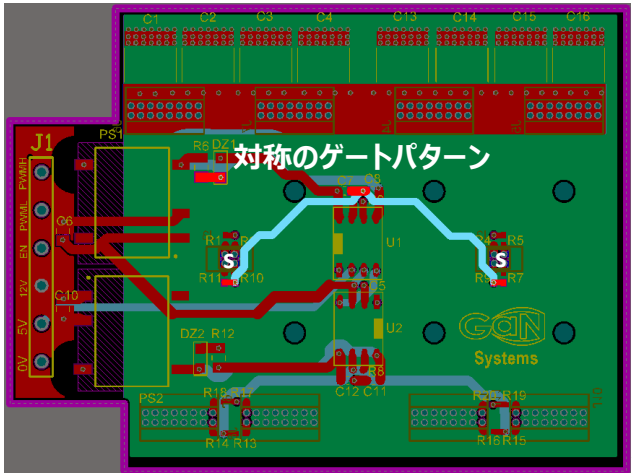
4 GS66516Bの4並列：ゲートドライブループのレイアウト設計

- ゲートドライブループは、対称なゲートパターンであることが確認できます



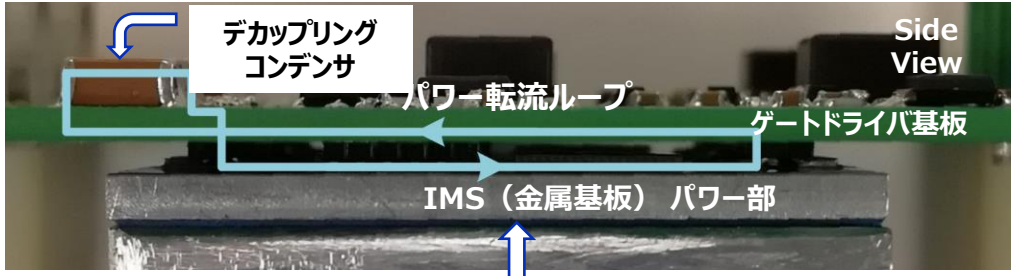
ゲートドライブ回路図

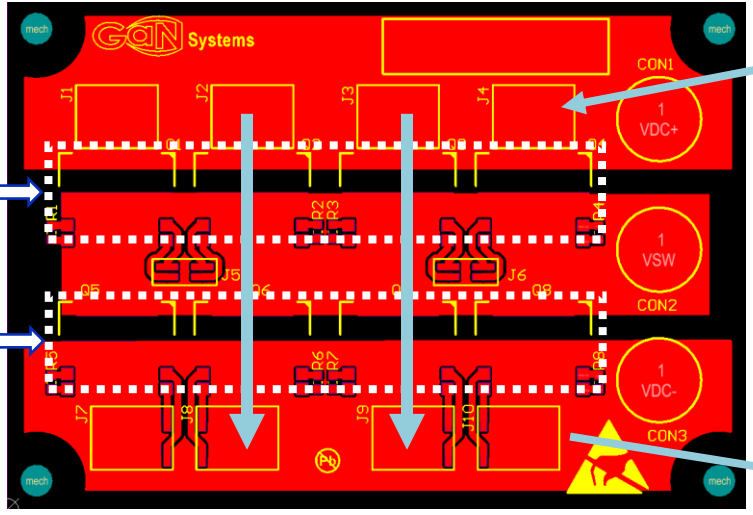


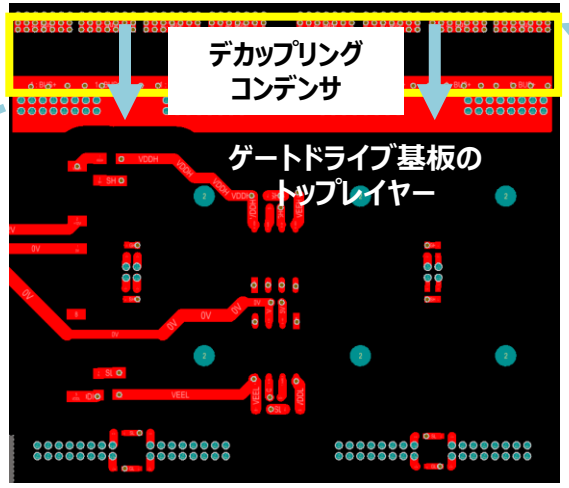


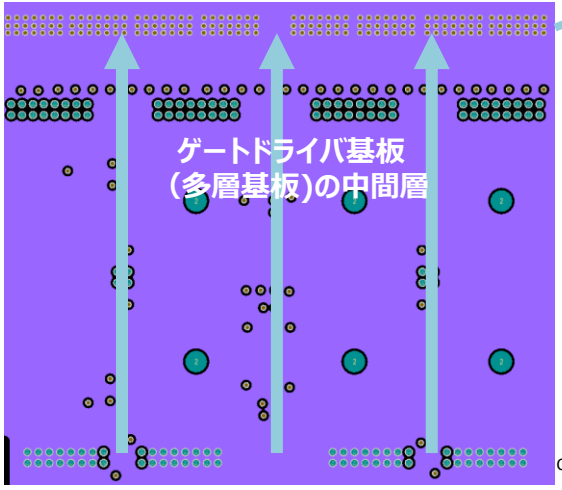
4 GS66516Bの4並列: パワー部のレイアウト

- パワー転流ループインダクタンスは磁束キャンセルにより**効果的に低減**します



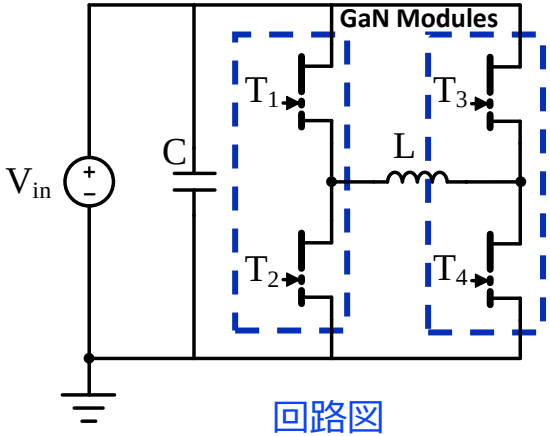




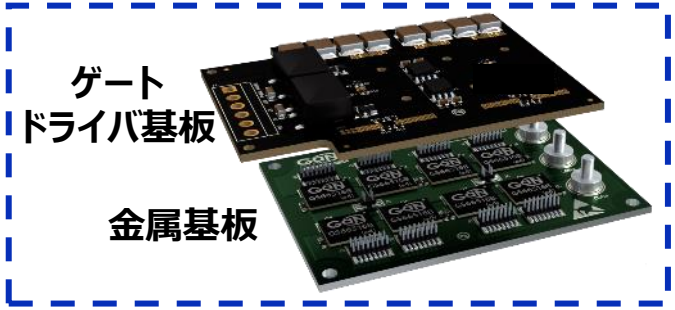


4 GS66516Bの４並列: フルパワーエミュレーションテスト

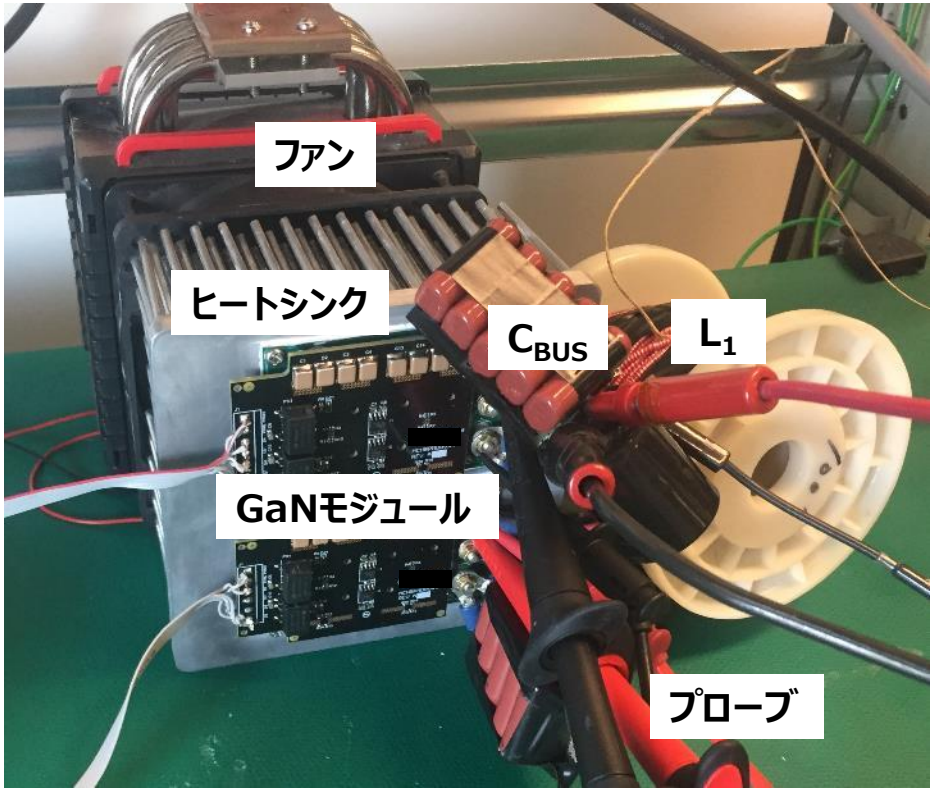
- フルパワーエミュレーションテストベンチは、**高電力の条件下で**650V 240A GaN IMSモジュールをテストするために構築されています



回路図



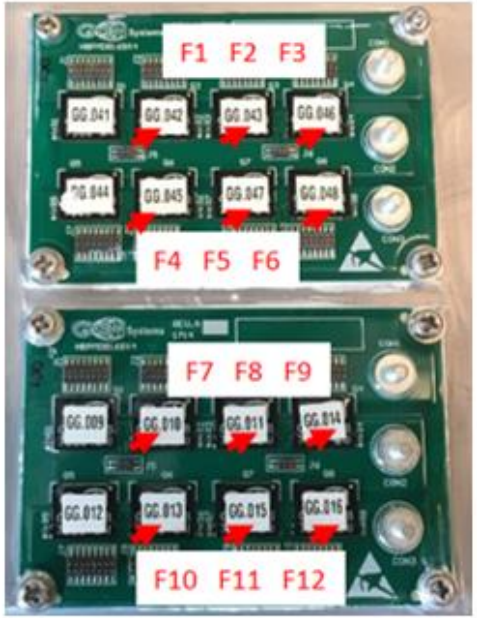
240A/650V ハーフブリッジ GaN モジュール



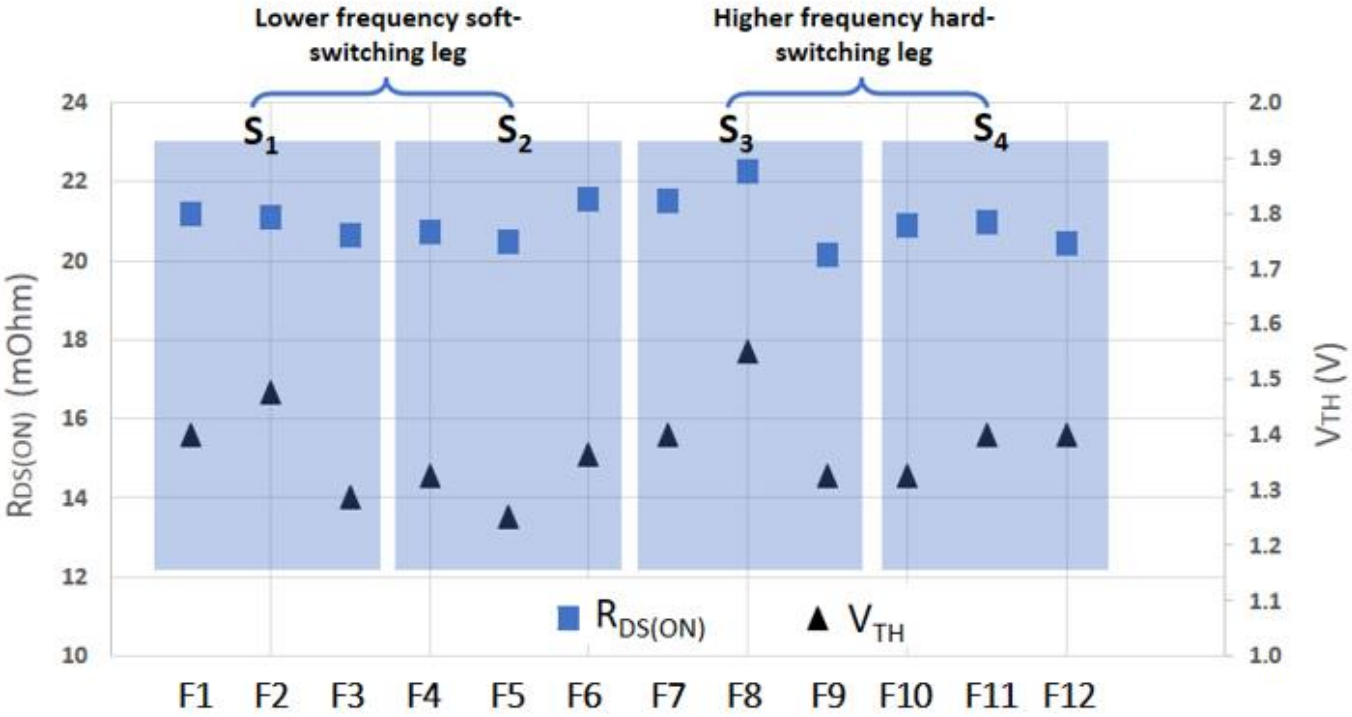
実験ベンチ

4GS66516Bの４並列：試験に用いたデバイスの特性

❑ GaN HEMTは、**ランダムに**選定



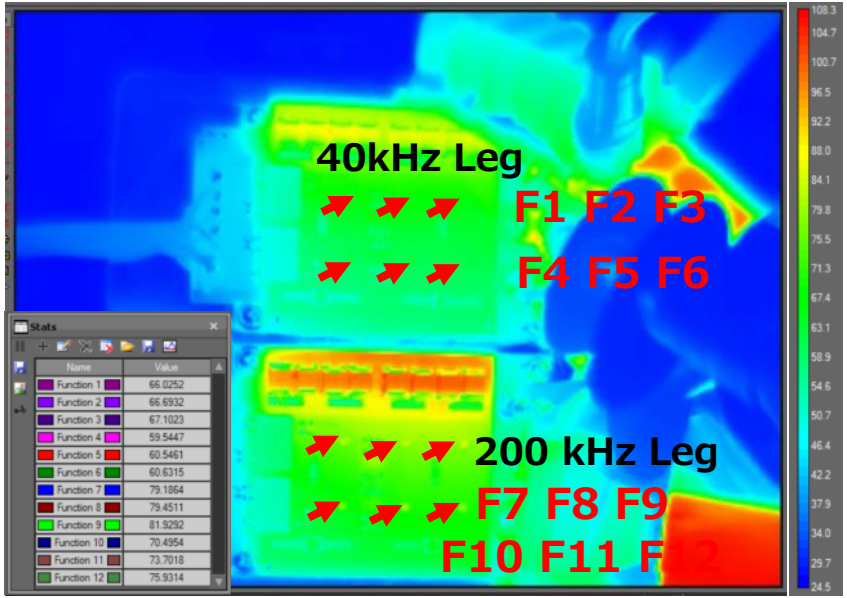
GaN power modules under test



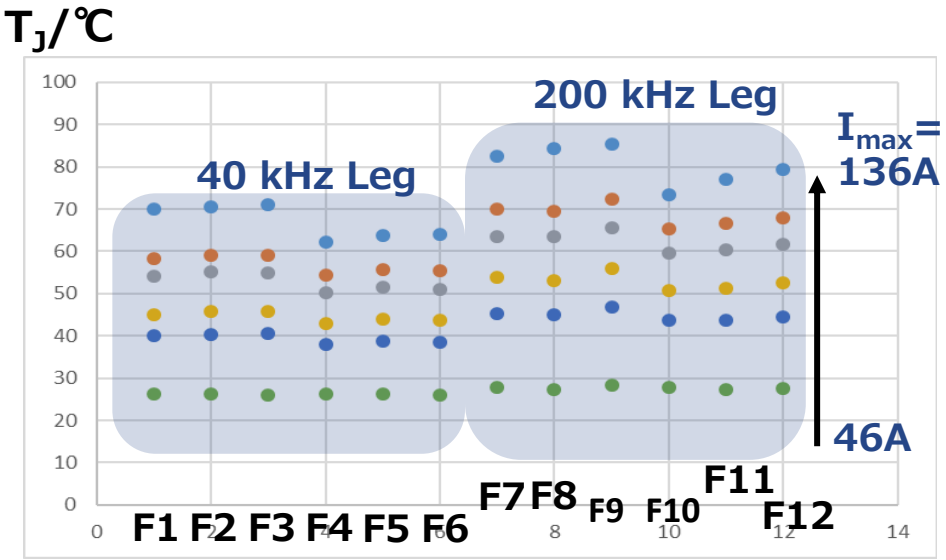
4 GS66516Bの４並列：実測した波形

- ❑ フルエミュレーションテスト@ I_{max} = 136A, I_{RMS} = 65A, F_{SW} = 200kHz を実施
- ❑ 電流と電圧のスイッチング波形は良好

4 GS66516B4並列: 温度分布



温度分布@ I_{max}=136A



全動作領域の温度分布

- ❑ 無選別のトランジスタを用いても、熱のバランスをされます – **熱暴走はありません**
- ❑ **良好な**熱バランスの動作: ジャンクション温度の違いは、最小 3 ℃以下、最大 6 ℃以下です

目次

1 GaNを並列化することの**利点**

2 GaNの本質的な特性 – **並列化に適する**

GaNの本質的な特性
導通損失の分配: $R_{DS(on)}$ vs T_J
スイッチング損失の分配: $V_{GS(th)}$ vs T_J
スイッチング損失の分配: g_m vs T_J

3 GaNを並列化のレイアウトと設計の**注意点**

4 **GaN FETの4並列**の事例

5 まとめ

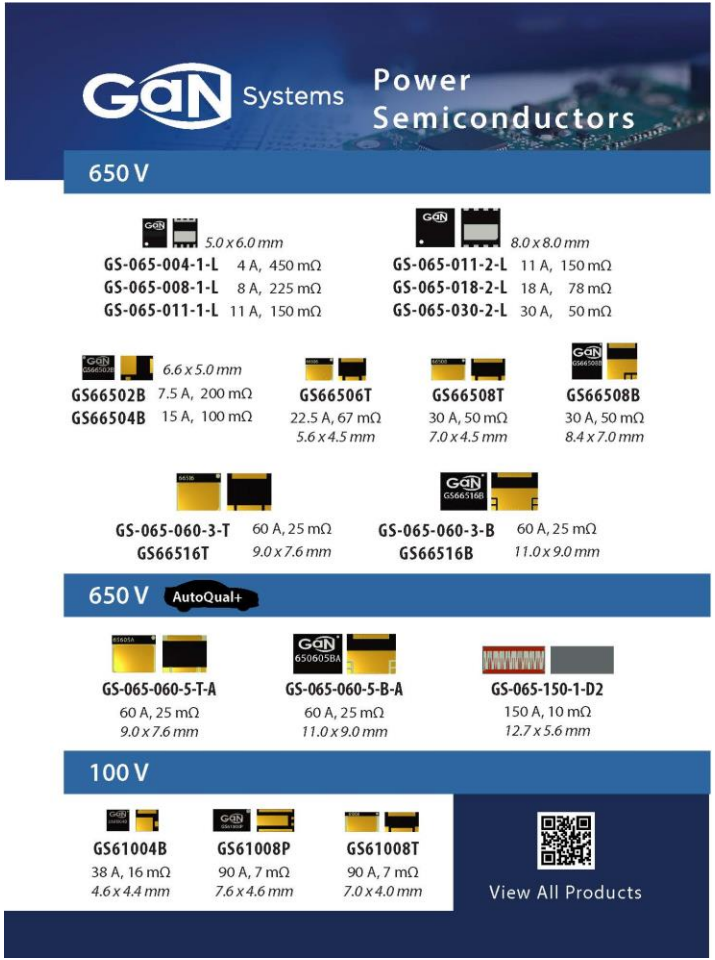
まとめ

- GaN Systems E-HEMTのデバイス特性は **本質的に並列に適しています**:
  - **正の** $R_{DS(on)}$ 温度特性
  - **温度による変化のない安定した** ゲート閾値電圧
  - **負の相互コンダクタンス** g_m 温度特性

- 高速のGaN HEMTの並列化はパターンレイアウトが重要です:
  - パワー及びゲートドライブ回路の寄生インダクタンスは低く且つ均等にします
  - ゲートドライブのパターンは同じ長さとしゲートドライブ回路を最適化します

- 4並列のGaN HEMTを設計例として紹介し、そのテスト結果は、並列の**GaN HEMTの熱のバランスされること**を示しています

GaNを最大限にご活用ください



Tomorrow's power today™

Product and application support at

gansystems.com