



GN004

GaN HEMTの並列動作の考慮事項

Last update: July 17, 2018

□ 並列設計の考慮事項

□ GaNの並列化に関するレイアウトの考慮事項

□ 4x並列GaNパワーステージの設計例

□ 実験結果

パワースイッチを並列化する際の重要な考慮事項は何か：

設計パラメータ	並列化への影響	要求
オン抵抗 R_{dson}	静的な電流の分担に影響を与えます。	セルフバランスのための正の温度係数です。
ゲート閾値電圧 V_{th}	オンおよびオフ時の動的な電流の分担に影響を与えます。 V_{th} が低いと、ターンオンが早くなり、スイッチング電流/損失が高くなるため、正帰還クが発生します。	狭いばらつき分布、温度に依存しない、または負の温度係数です。
トランスコンダクタンス G_m	オンおよびオフ時の動的電流の分担に影響を与えます。	狭いばらつき分布、温度に依存しない、または負の温度係数です。
回路設計とレイアウト	バランスのとれた回路レイアウトは、動的な電流の分担と並列動作の安定性にとって重要です。特に、GaN / SiCなどの高速パワースイッチにとって重要です。	レイアウトは、寄生容量を最小化および均等化して、回路の不均衡を減らします。
熱設計	デバイスの温度差に影響します。 T_j の変動は、デバイスの特性に応じて動的または静的な電流のシェアに偏りの問題を引き起こす可能性があります。	並列化されたすべてのデバイスは、熱抵抗に差が無く、良好な熱バランスのために、同じヒートシンクに取り付けられる必要があります。

オン抵抗 $R_{DS(ON)}$ vs ジャンクション温度 T_j

- GaN E-HEMTの $R_{DS(ON)}$ は正の温度係数です.
- SiCと比べて、GaNのオン抵抗の正特性は、並列動作の電流のバランスに役立ちます.

GaN E-HEMT

GS66508P $R_{DS(on)}$ Temperature Dependence

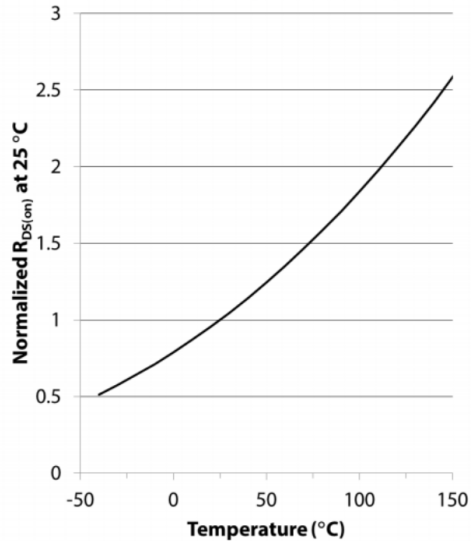


Figure 11: Normalized $R_{DS(on)}$ as a function of T_j

SiC $R_{DS(ON)}$ vs T_j

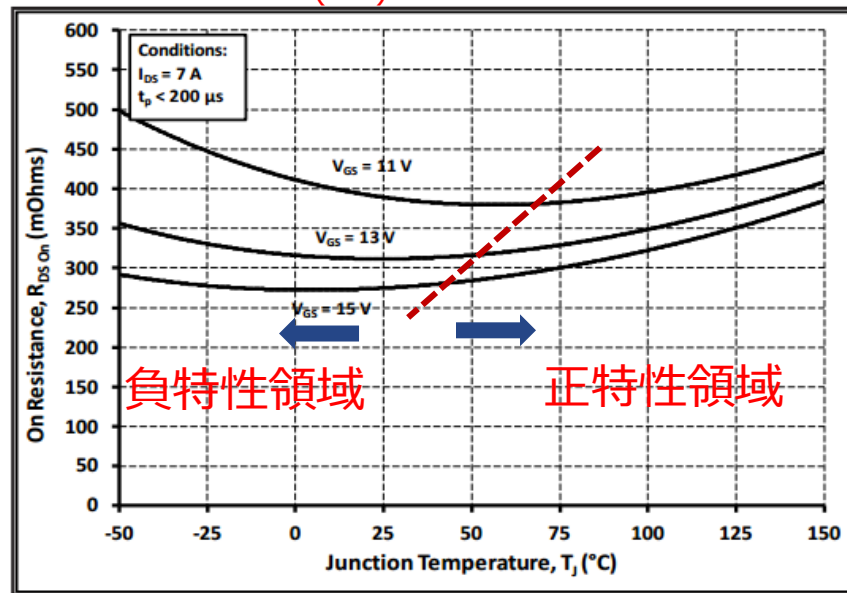
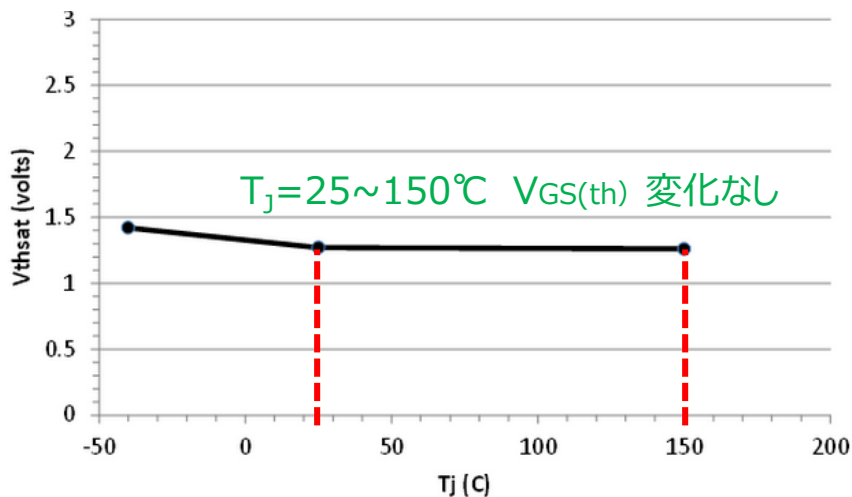


Figure 6. On-Resistance vs. Temperature For Various Gate Voltage

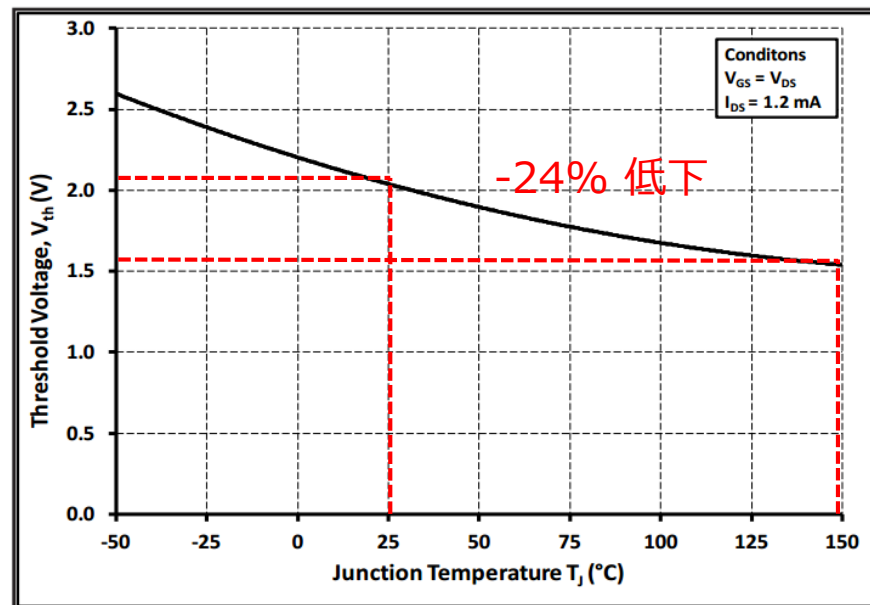
ゲート閾値電圧 $V_{GS(th)}$ vs ジャンクション温度 T_j

- GaN E-HEMTは、使用温度の範囲で安定したゲート閾値 V_{th}
- Si / SiC のMOSFETの $V_{GS(th)}$ は、温度が上がると低下します。
 - 高温動作でターンオンがはやくなります-正帰還となります

GaN E-HEMT $V_{GS(th)}$ は
温度変化に対し安定です。



SiC T_j が上がると $V_{GS(th)}$ は低下します。



トランスコンダクタンス g_m vs ジャンクション温度 T_j

- GaN E-HEMT 温度に対し g_m は低下しますが、並列動作に役立ちます。
- 安定した $V_{GS(th)}$ と、動的電流の分担とセルフバランスに役立ちます。

GaN HEMT

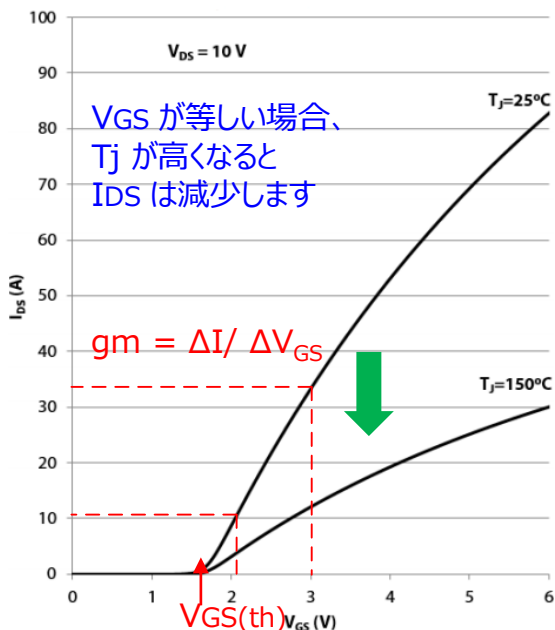
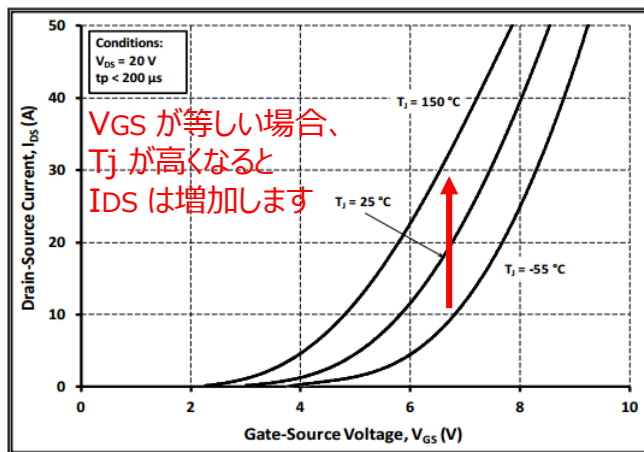


Figure 10: Typical I_{DS} vs. V_{GS}

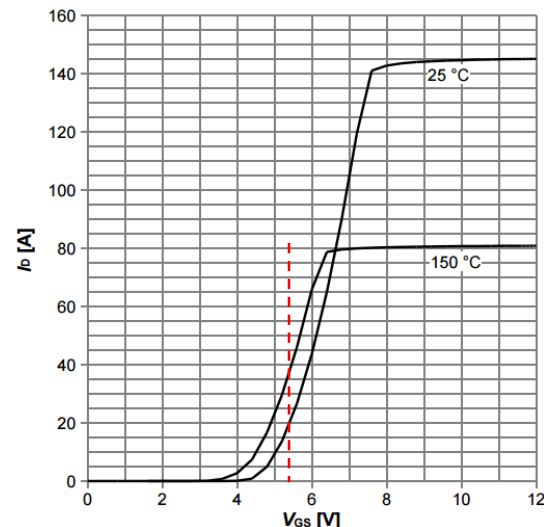
SiC MOSFET



SiC: $V_{GS(th)}$ は低下、 g_m は僅かに増加

- 温度が上がるとスイッチング電流が増え、スイッチングロスが増える傾向です。
- 適切な設計でないと、潜在的に正帰還による熱暴走の可能性があります。

SJ MOSFET



Si: $V_{GS(th)}$ は低下、 g_m は一定

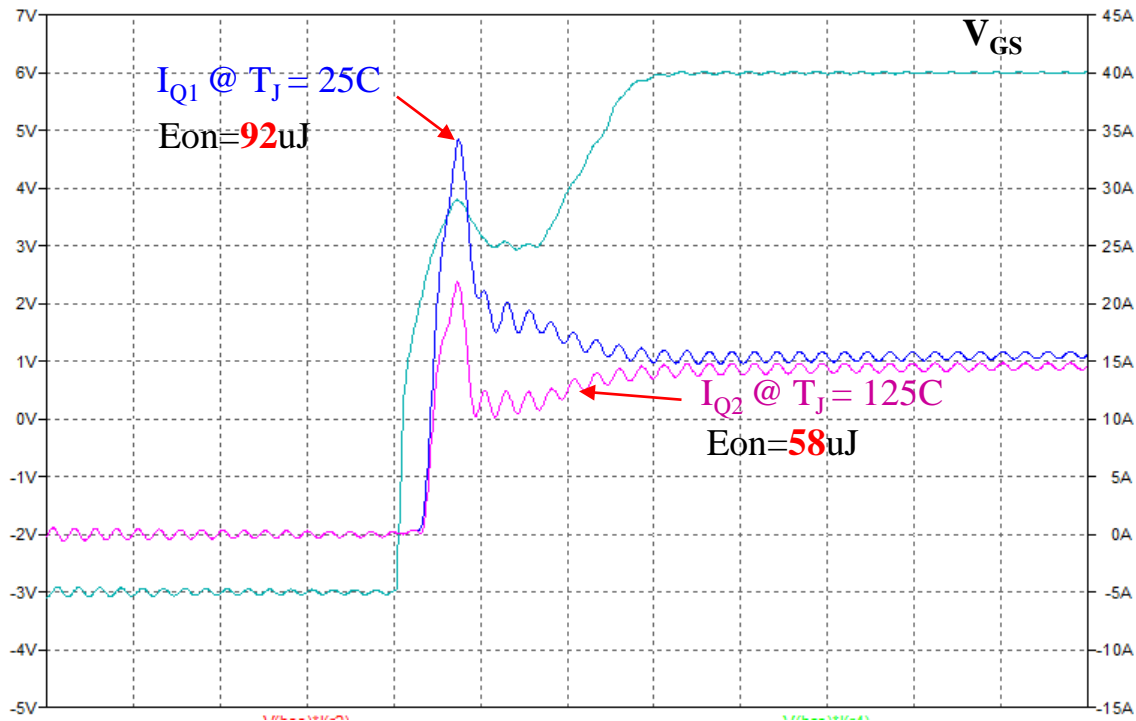
- T_j に対し僅かに正帰還の可能性があります

スイッチング動作に対するgm特性の効果

- 並列動作時 負帰還によるセルフバランシングのメカニズムは以下です:

T_j 上昇 \nearrow トランスコンダクタンス $gm \searrow$ ターンオン時の電流 I_{DS} 低下 \searrow スwitchングロス E_{on} 低下 \searrow T_j 低下 \searrow

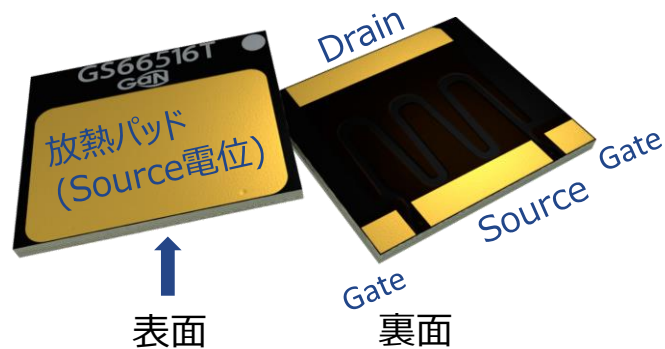
400V/30A GS66508Tを2並列動作時、異なる T_j のターンオン電流波形



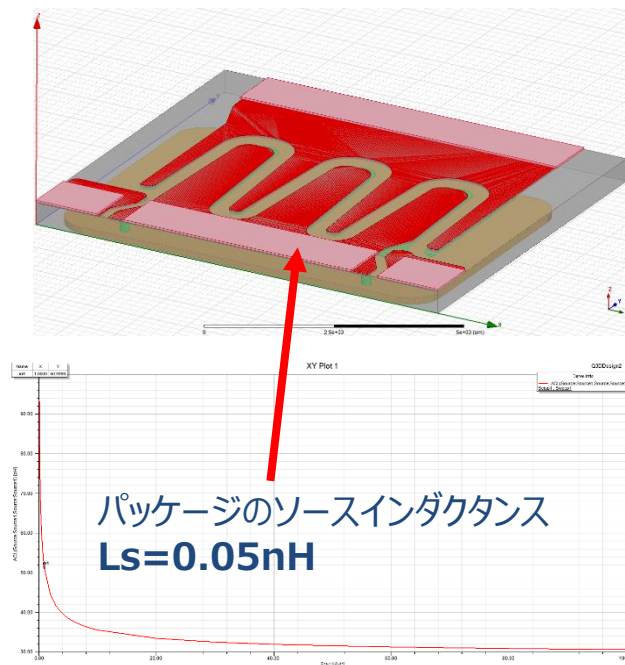
GaNPxパッケージは、並行動作の性能と安定性を改善します。

- 従来パッケージは、並列動作に影響するソースインダクタンス L_s が大きいです。
- GaNPXは従来のパッケージに比べて L_s がとても小さいです
- Tパッケージは、対称のデュアルゲートパッドが装備され、並列の際、パターンレイアウトに役立ちます。

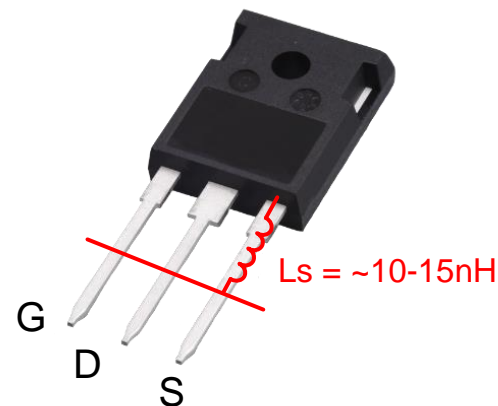
GaNpx T パッケージ
GS66516T (650V/25m Ω)



Ansys Q3D GS66516Tの3Dモデル

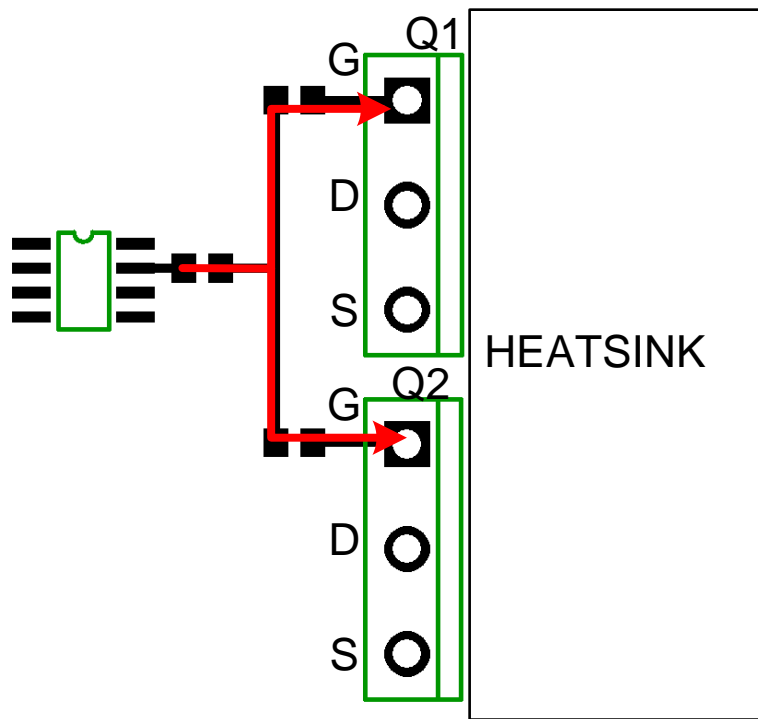


TO-247 パッケージインダクタンス

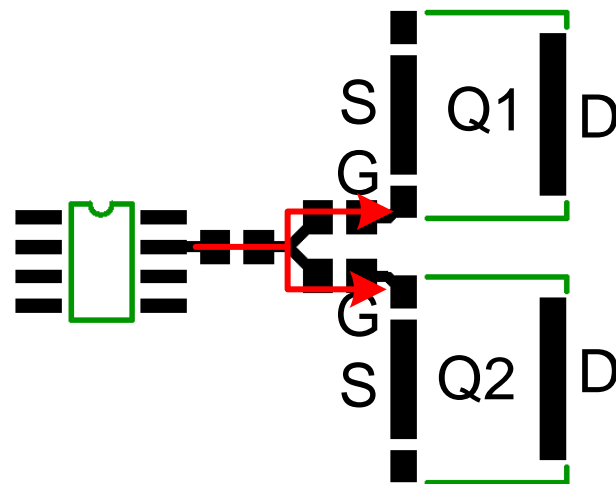


- 並列のレイアウトでは、デュアルゲートは、ゲートドライブのループを低減します。
- 対称のゲートドライブのレイアウトを容易にします。
- レイアウト全体の面積を低減できます。

TO-247 2 並列のレイアウト



GS66516T 2 並列のレイアウト

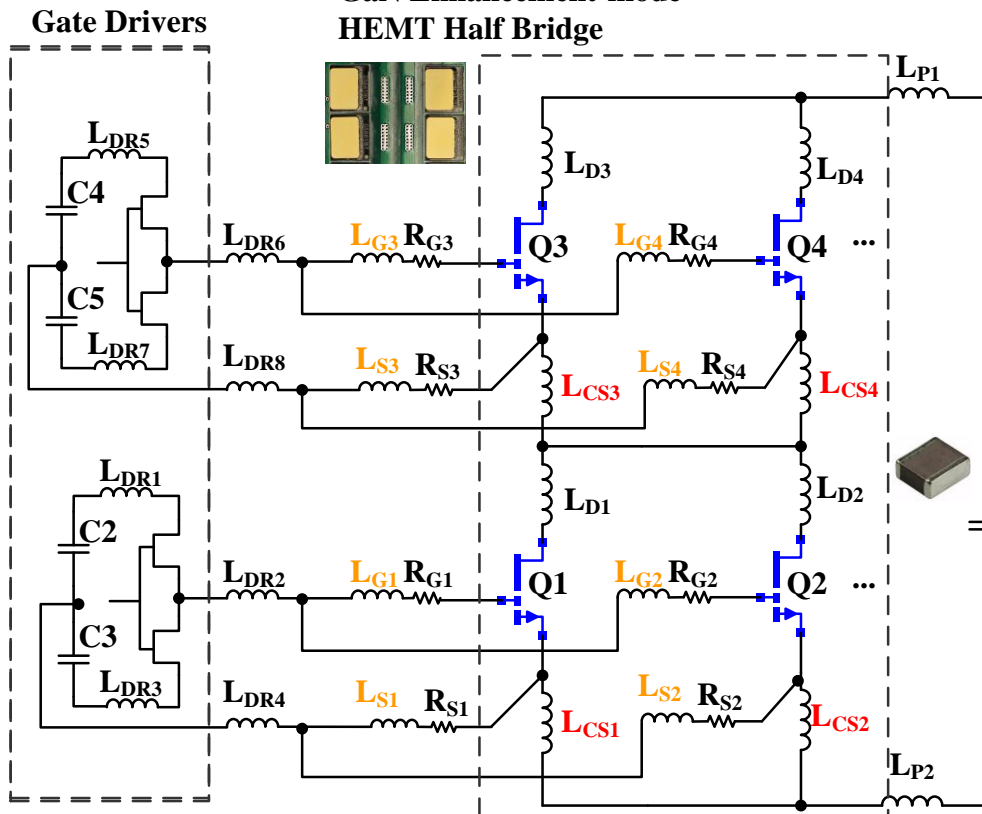


他の技術と比較すると：

- GaN Systems の E-HEMT特性は本質的に、並列化に適しています。
 - GaNの $R_{ds(on)}$ と g_m の特性は、強い負帰還となり、セルフバランスを行い、デバイスと回路のミスマッチを補償します。
- 回路のレイアウトはGaNにとって最も重要です：
並列動作を成功させるには、動的動作、スイン칭動作 を最適にすることです。
- したがって、このプレゼンテーションでは、GaNの並列動作に影響するゲートドライブと回路レイアウトの説明にフォーカスします。
 - 並列の際に、回路の寄生容量の影響を分析しました。
 - GaN HEMT(650V/60A) x 4 並列を動作させるハーフブリッジを設計し、動作検証しました。

- 並列設計の考慮事項
- **GaNの並列化に関するレイアウトの考慮事項**
- 4x並列GaNパワーステージの設計例
- 実験結果

GaN Enhancement-mode HEMT Half Bridge



GaNの並列化の際、影響大きい寄生要素：

L_{G1-4} & L_{S1-4} ：ゲート・ソースインダクタンス

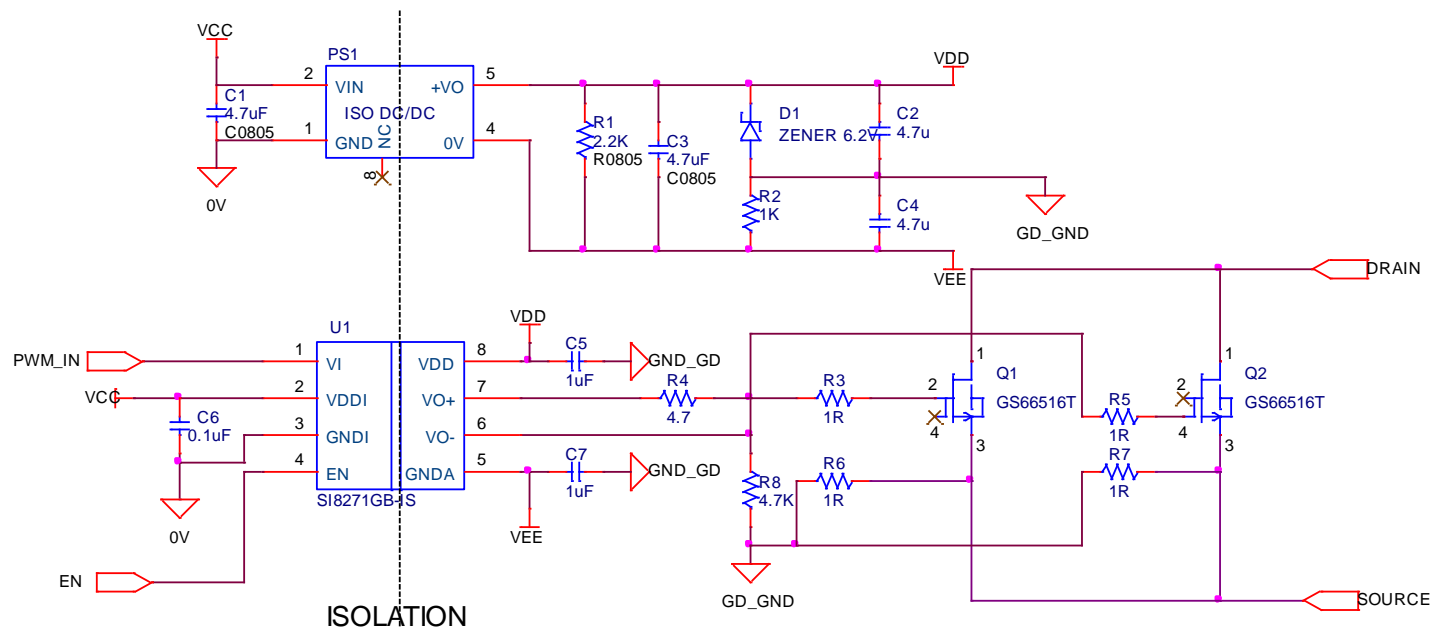
アンバランスな L_g / L_s はゲートのリングングと発振の危険性を増加させます。

- スター接続を使用して L_g / L_s を等しくし、その値は可能な限り低くします。
- 各GaNに R_G / R_S を配置することは、並列のデバイスの中のゲートリングングを低減するために推奨されます

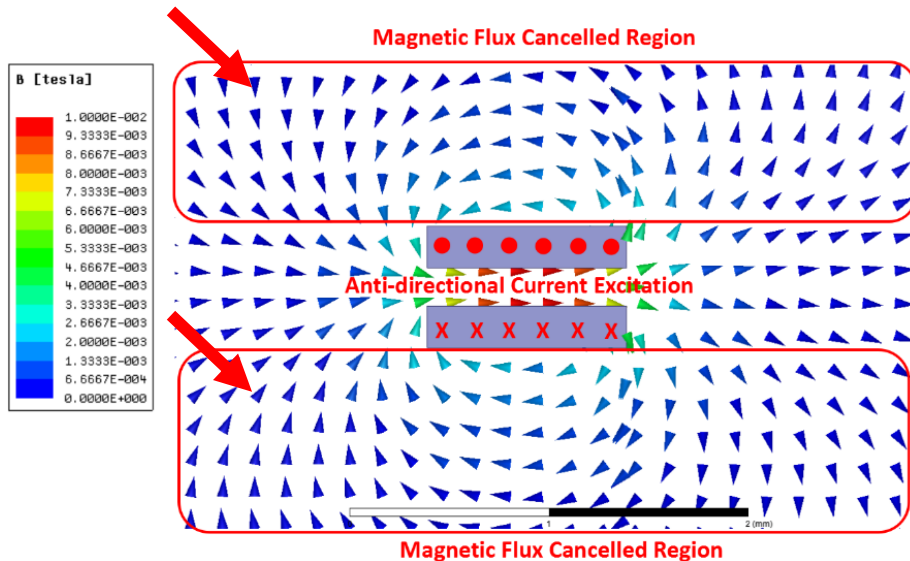
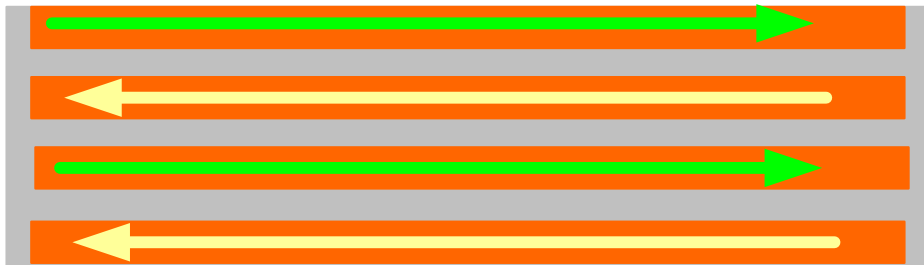
L_{CS1-4} ：コモンソースインダクタンス

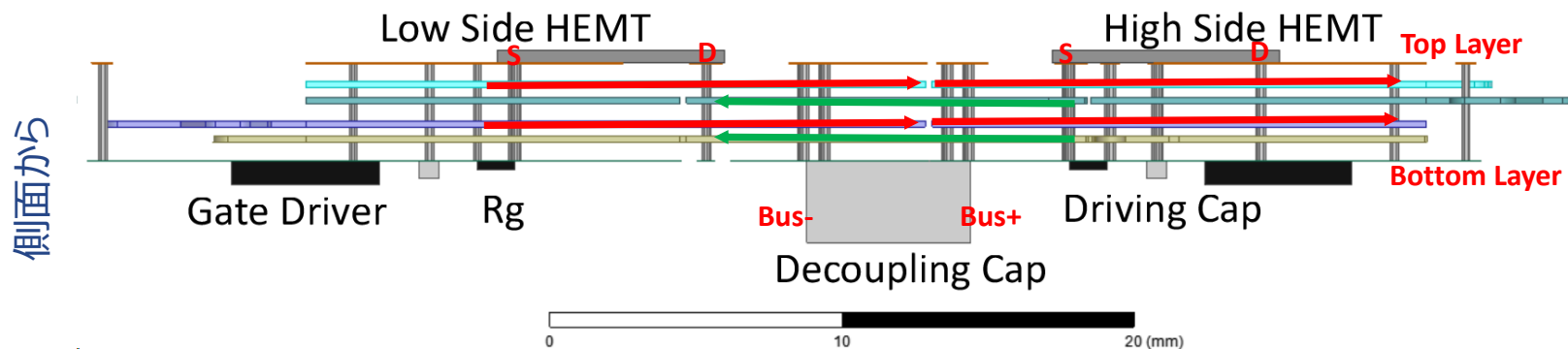
- L_s により、パワーループからスイッチングノイズとして ($L \cdot di/dt$) ゲートドライブ回路に侵入します。
- 各デバイスのコモンソースインダクタンス及びパワー/ゲートのループの相互インダクタンスを含みます。
- スイッチング di/dt が V_{GS} に戻り、ゲートドライブの安定と特性に影響を与えます。
- L_s は可能な限り低く抑えます。

- 大電流の並列動作の設計では、負電圧のターンオフバイアスを推奨します。ターンオフロス低減とロバストなゲートドライブのためです。効率の最適化のため同期駆動を用いて、負電圧は-3~-5Vとすることを推奨します。
- 単電源からバイポーラのゲートドライブは、6.2Vのツェナーダイオード-Vzener(6V)-でつくります。負のゲートドライブバイアスはPS1の出力（VEE）です。
- 分配用のゲート/ソース抵抗として、小さい抵抗値（**1~2Ω**）を用いています：R3/R5 と R6/R7
- 全ターンオン抵抗 $R_{G_ON} = R4 + R3(R5) + R6(R7)$ 。全ターンオフ $R_{G_OFF} = R3(R5) + R6(R7)$

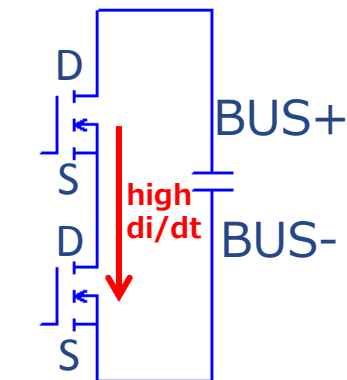


- 隣接する2つの導体に、互いに反対の電流を流した場合、2つの電流によって生成された磁束は互いに打ち消し合います。
- この磁束キャンセル効果を用いて、寄生インダクタンスを低減することができます。
- PCBの隣接する2層に、高周波電流が反対方向に流れるようにレイアウトします。



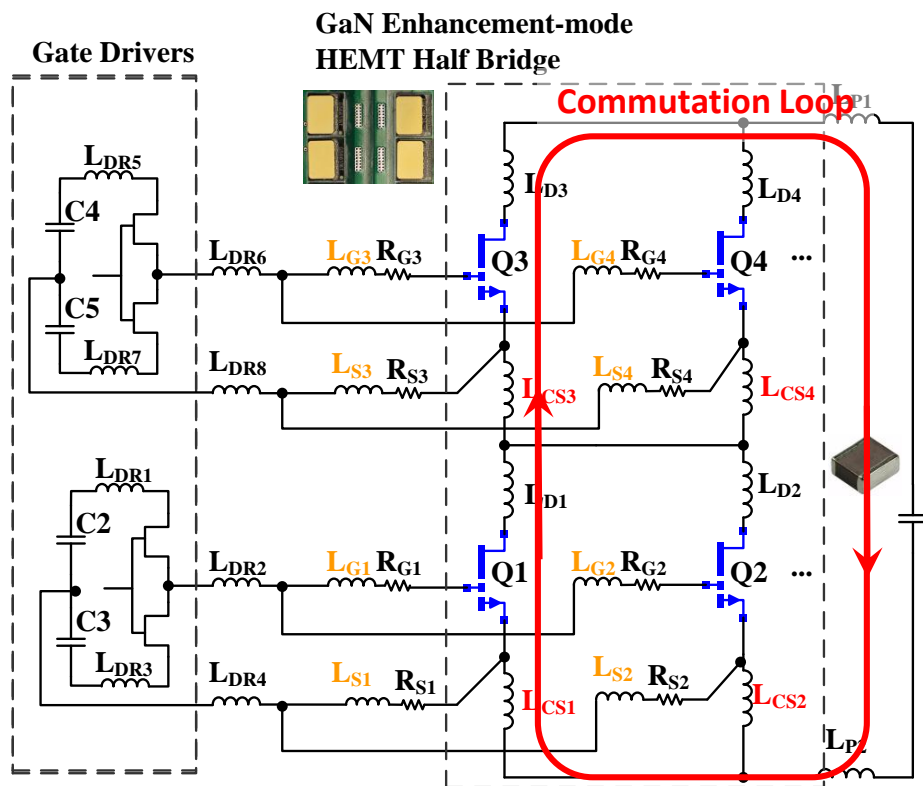


高周波電流は各層の方向を変えて磁束キャンセル効果を用いる



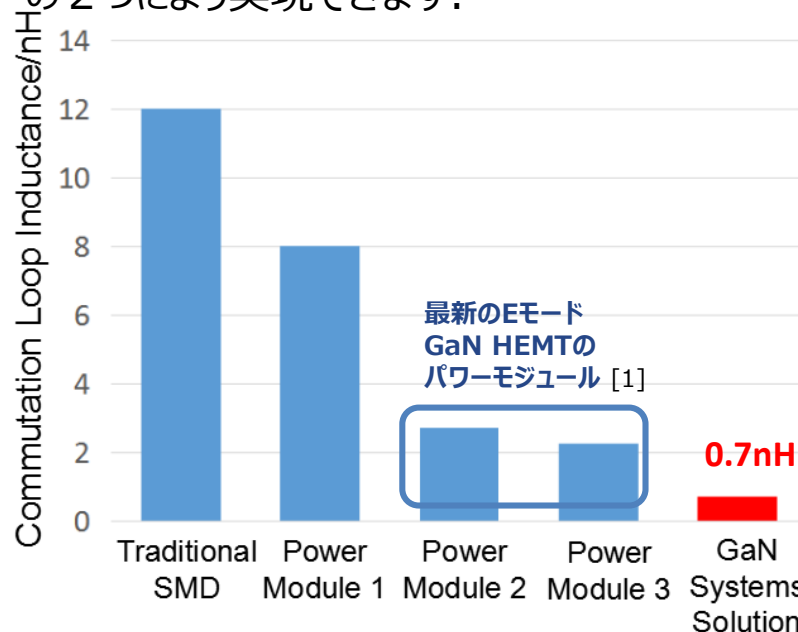
転流ループ
Commutation Loop

- 表面 Top Layer: GaN HEMTを配置
- Mid_L1: BUS+ -> Drain_High ; Source_Low -> BUS-
- Mid_L2: Source_High -> Drain_Low
- Mid_L3: BUS+ -> Drain_High ; Source_Low -> BUS-
- Mid_L4: Source_High -> Drain_Low
- 裏面 Bottom Layer: ゲートドライバとデカップリングコンデンサを配置



GaN Systems ソリューション: 転流ループのインダクタが、一番低い最新パワーモジュールの25% :

- 低インダクタンスのGaNPXパッケージ
 - 磁束キャンセリングのPCB設計
- の2つにより実現できます。

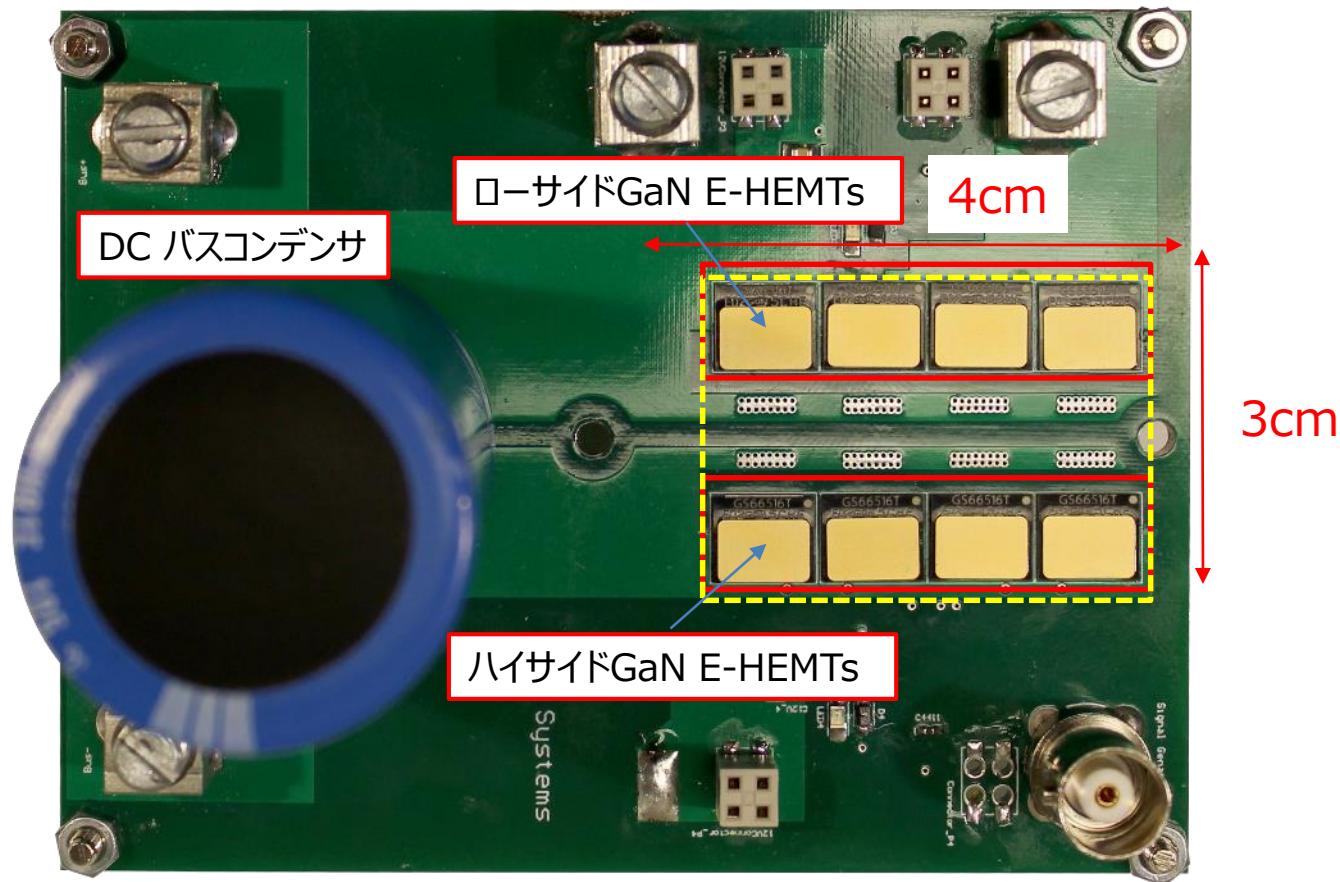


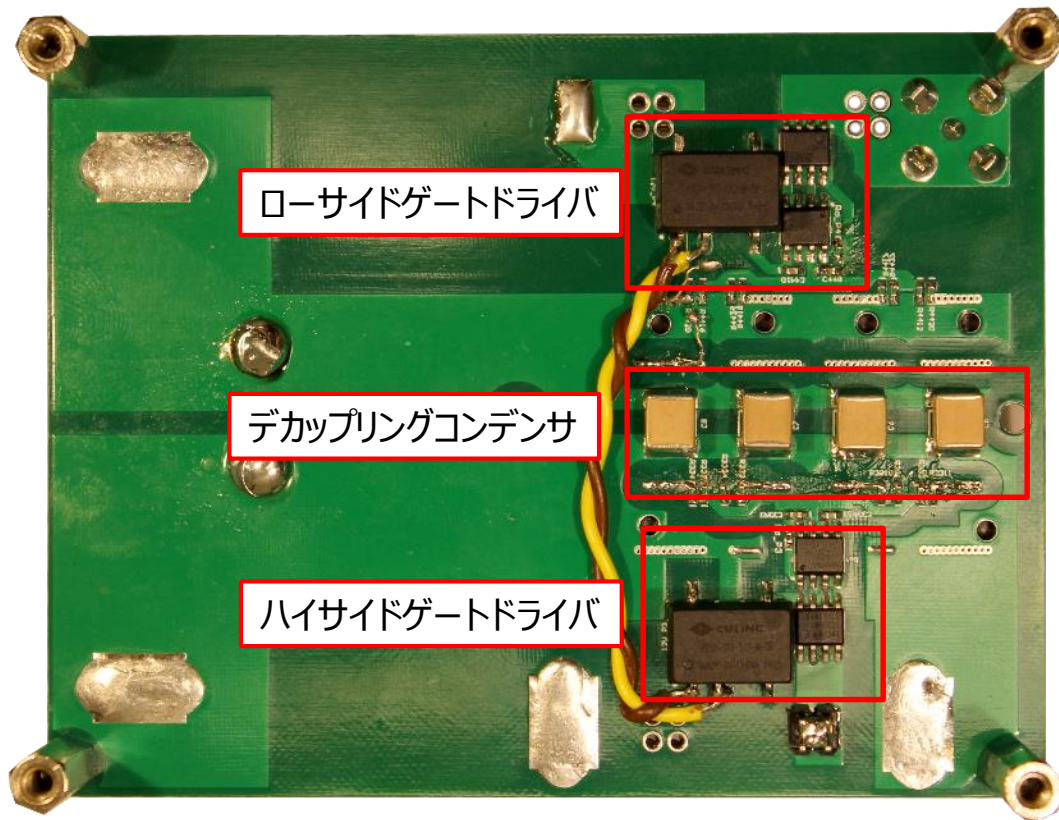
[1] F.Luo, Z.Chen, L.Xue, P.Mattavelli, D.Boroyevich, B.Hughes, "Design Considerations for GaN HEMT Multichip Half- bridge Module for High-Frequency Power Converters"

- 並列設計の考慮事項
- GaNの並列化に関するレイアウトの考慮事項
- **4x並列GaNパワーステージの設計例**
- 実験結果

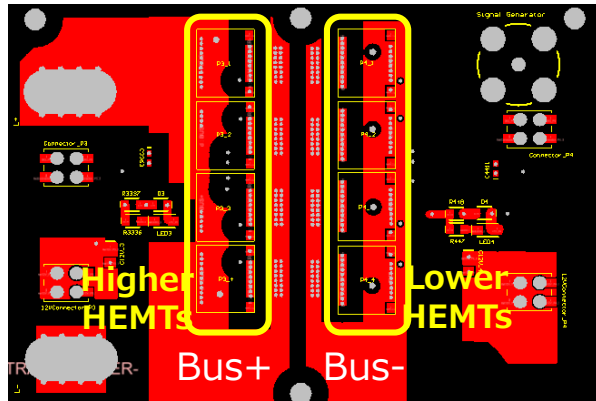
4x GS66516T並列テストボード – 表面

ディスクリートGaN EHEMTを用いた650V/240Aハイパワーステージ設計

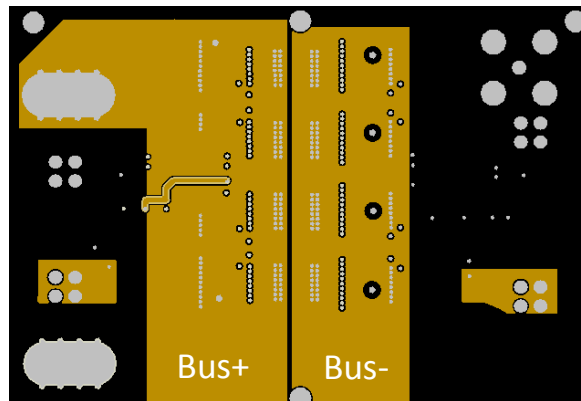




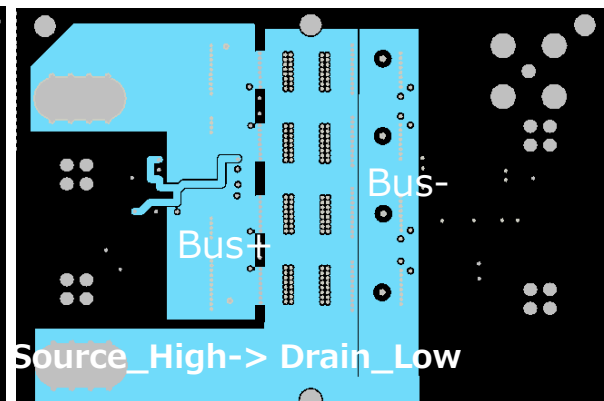
4並列 GaN パワーステージ のレイアウト



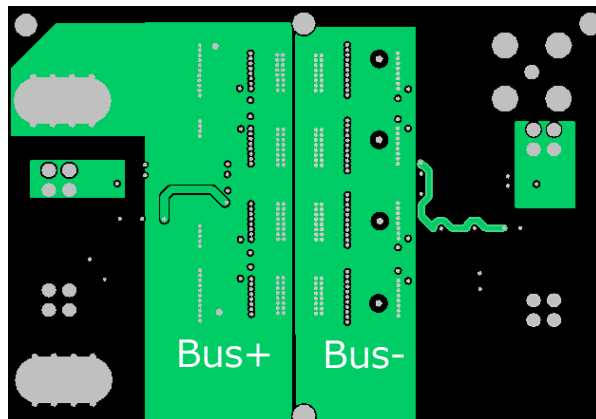
Top Layer



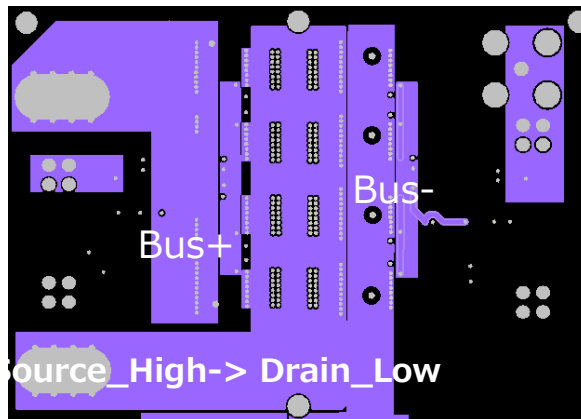
Mid_L1



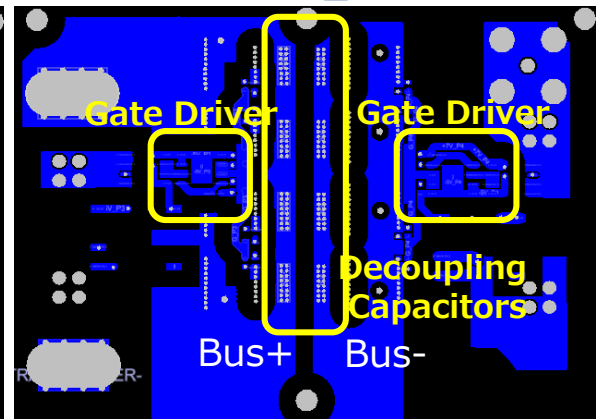
Mid_L2



Mid_L3



Mid_L4

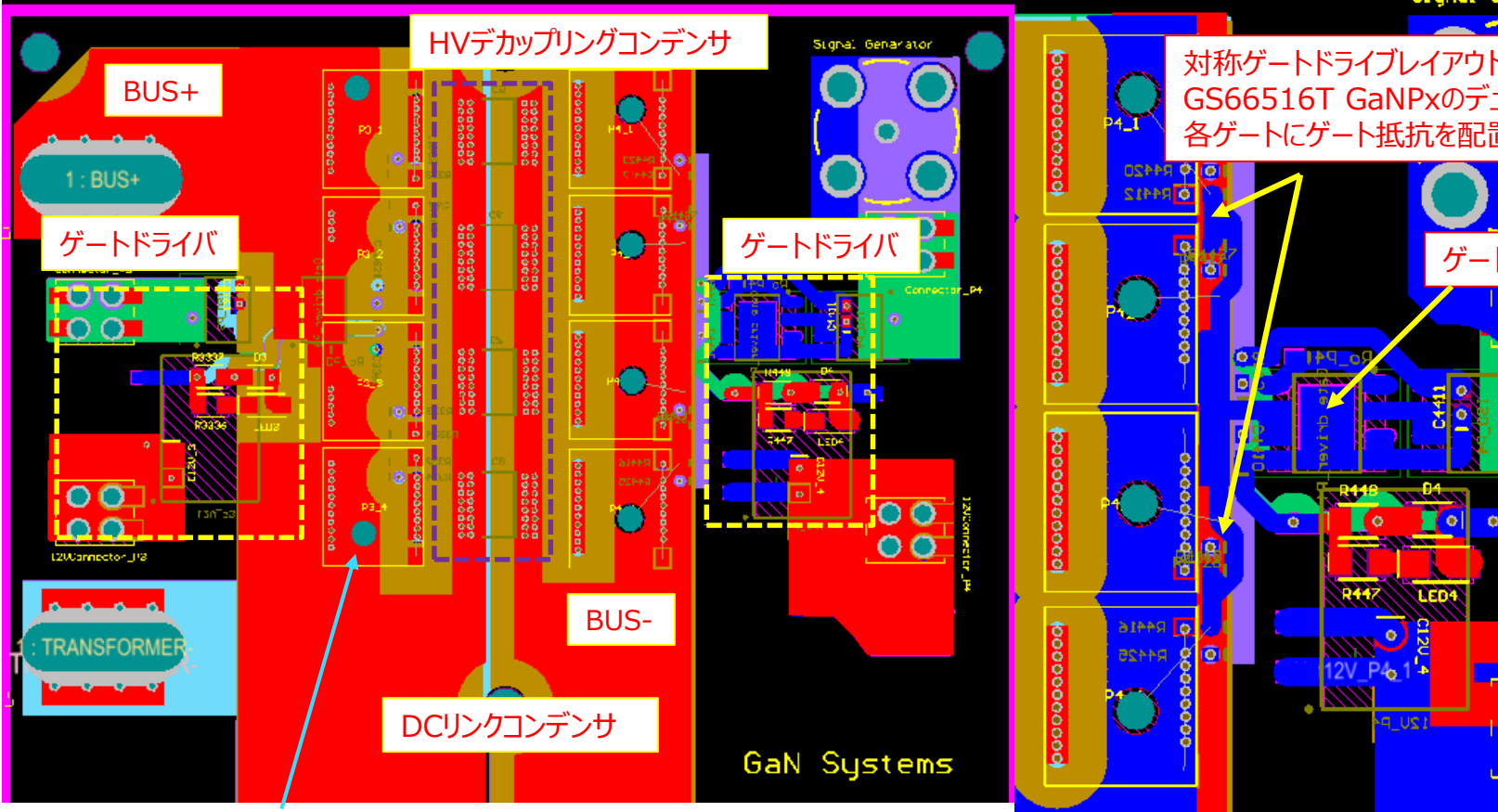


Bottom Layer

最適化したGaN HEMTの並列レイアウト (4x GS66516T)

ハーフブリッジ トップレイヤ側 4x GS66516T

ボトムレイヤ側 ゲートドライバ



* 熱測定用のメッキされていない穴、。デバイスの下に電気信号を配線しない。

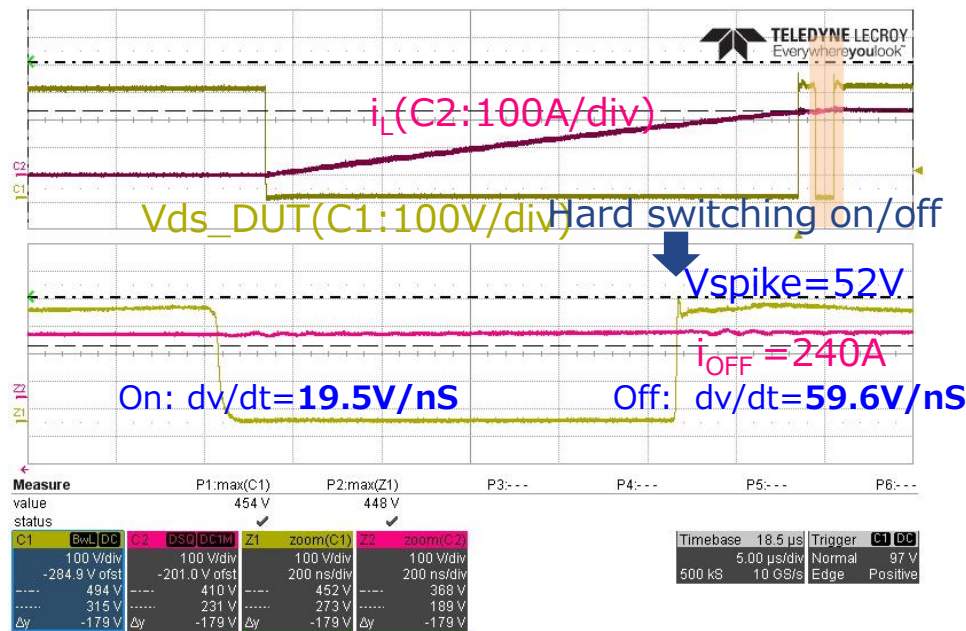
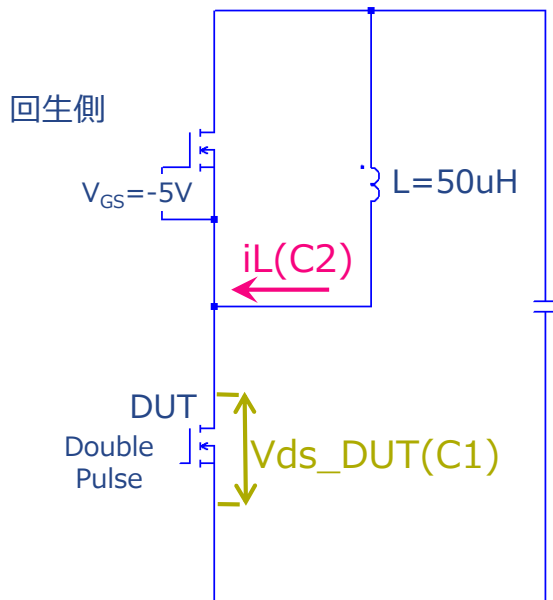
- 並列設計の考慮事項
- GaNの並列化に関するレイアウトの考慮事項
- 4x並列GaNパワーステージの設計例
- **実験結果**

400V/240Aダブルパルス ハードスイッチングテストの波形

DUT 測定側: GS66516T 4 並列;

回生側: GS66516T 4 並列

条件: $V_{BUS}=400V$, $I_{DS_ON}=231A$, $I_{DS_OFF}=240A$, $V_{GS}=+6.8V/-5V$, $R_{G_ON}=4.55ohm$, $R_{G_OFF}=1.25 ohm$.



Measurement Setup: Lecroy WaveSurfer 10M Oscilloscope, HVD3106 Differential Probe(C1), CWT-3LFB mini Rogowski Coil(C2)

Experimental Waveform

- デイレーティング無しのGaN HEMTの並列動作.ハードスイッチングはフル定格までクリーンな波形
- 400V / 240Aのハードスイッチングの能力-電圧マージン約200V (オーバーシュートV_{DS}=52V)

- より高い出力を達成するには、ディスクリートGaNの並列化が望まれます。
- GaN Systems E-HEMTデバイスの特性は、本質的に並列化に適しています。
 - $R_{DS(ON)}$ が正の温度特性
 - 温度の影響を受けない安定したゲート閾値電圧
 - gmの負の温度特性
 - GaNPXの低い寄生インダクタンスは、電圧振動を抑え回路のミスマッチを抑制
- 高速のGaN HEMTを並列化するにはレイアウトが重要です。
 - 電源およびゲートドライブループの低いバランスのとれた寄生インダクタンス
 - 等しい長さのゲートドライブのレイアウトと最適なゲートドライブ回路
- まとめ
 - 高速GaN HEMTデバイスを並列化する方法に関する実用的な設計ガイドを提供しました。
 - 4並列のGaN E-HEMTハーフブリッジパワーステージの設計レイアウト例を示しました
 - 実際に基板を作製し、GaN E-HEMTの並列動作のハードスイッチングテストを定格電流まで検証しました (400V / 240A) .