



GN001 アプリケーションガイド Application Guide

エンハンスメントモードGaN-HEMTを用いたデザイン

Design with GaN Enhancement mode HEMT

Updated on April 12, 2018 GaN Systems Inc.

※このアプリケーションガイドは「GN001; Design with GaN Enhancement mode HEMT」の日本語に翻訳したものである。

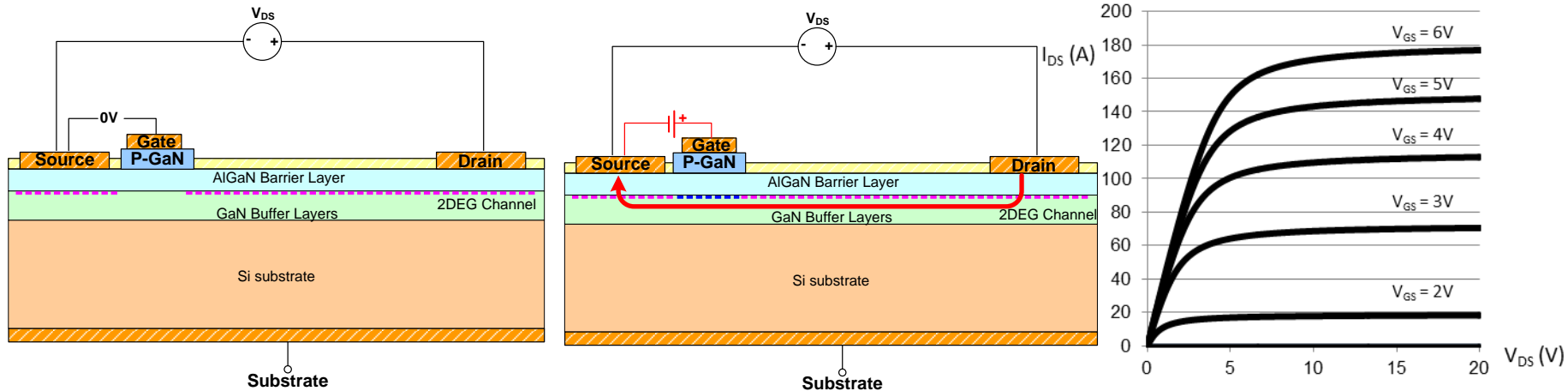
- [基本特性](#)
- [ゲートドライブ設計の留意点](#)
- [デザイン例](#)
- [PCB レイアウト](#)
- [スイッチングテスト結果](#)

弊社の下記リンクより最新情報をご確認ください  
<http://gansystems.com/design-center/application-notes/>

## GaN エンハンスメント高電子移動度トランジスタ (E-HEMT)

GaN Enhancement mode High Electron Mobility Transistor

- 横型AlGaN/GaN ヘテロ エピタキシャル構造により形成される2次元電子ガス(2DEG)は、高電子密度で高速である
- エンハンスメントモードのため、ゲートが0Vまたは負バイアスの時 2DEG を枯渇させ、正バイアスの時 2DEGを導通させる
- ゲートの動作は、MOS FETと同様であるが、優れたスイッチング性能を実現する

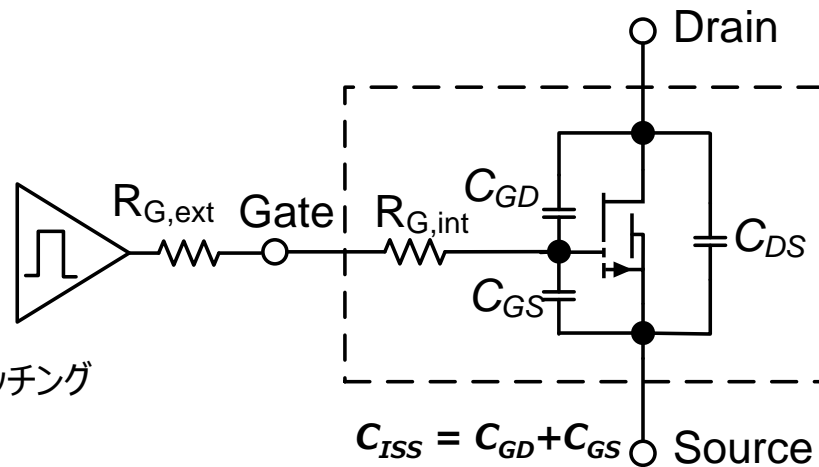


## Si MOS FETとの共通点

- エンハンスメントモード（ノーマリーオフ）
- 電圧駆動 -  $C_{ISS}$  の充放電による駆動
- ゲート電流はリーク電流  $I_{GSS}$  のみ
- ゲート抵抗  $R_G$  により、 $V_{DS}$  のスルーレートが容易に制御可能

## Si MOS FETとの相違点

- ゲート電荷量 ( $Q_G$ ) が小さい: ドライブロスが少なく、高速スイッチング
- ゲート耐圧が低い  $V_{GS}$  : 5-6V 推奨値
- ゲート閾値  $V_{G(th)}$  が低い : 1.5V (typ)

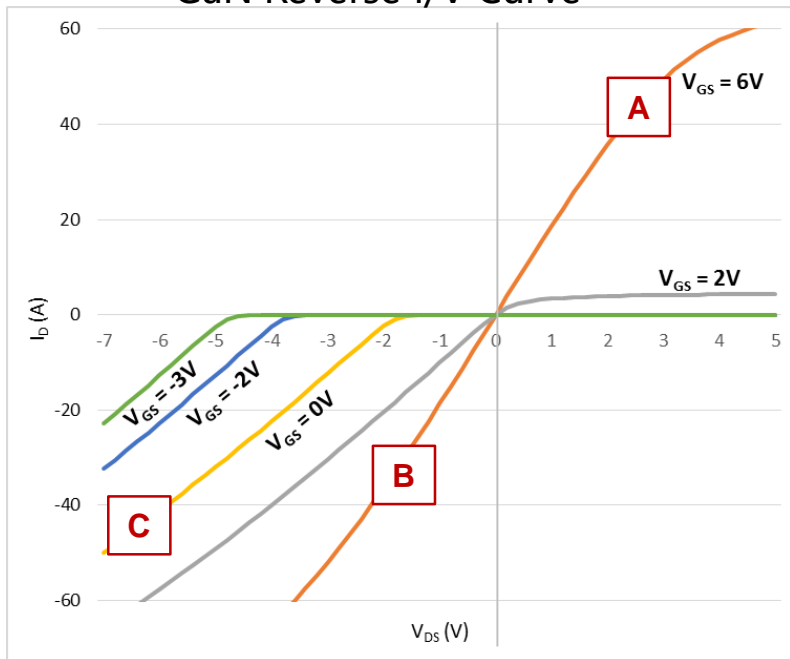


## 他のE-HEMTとの比較

- ロバストなゲート: +7/-10V (最大定格)
- ゲートドライブに直流電流は不要
- ゲートにPN接合が無い

ゲートバイアスレベル	GaN Systems GaN E-HEMT	Si MOS FET	IGBT	SIC MOS FET
最大定格	-10/+7V	+/-20V	+/-20V	-8/+20V
通常のゲートバイアス	0 or -3/+5-6V	0/+10-12V	0 or -9/+15V	-4/+15-20V

## GaN Reverse I/V Curve



	Gate	GaN E-HEMT	MOS FET	Si IGBT
A	ON	$R_{DS(ON)}$		
B	ON	$R_{DS(ON)}$		
C	OFF	$V_{TH} + V_{GS(OFF)}$ $R_{DS(REV)}$		

- 2 DEGは第3象限で導通できる - 逆並列ダイオードは不要
- ゲートがオフの時 (デッドタイムの期間)、2DEG は  $V_F = V_{th} + V_{GS(off)}$  のダイオードのように動作する
- デッドタイムロスの低減: 1) デッドタイムを短くする; 2)  $V_{GS(off)}$  は、負バイアスを小さくするか、できれば使わない

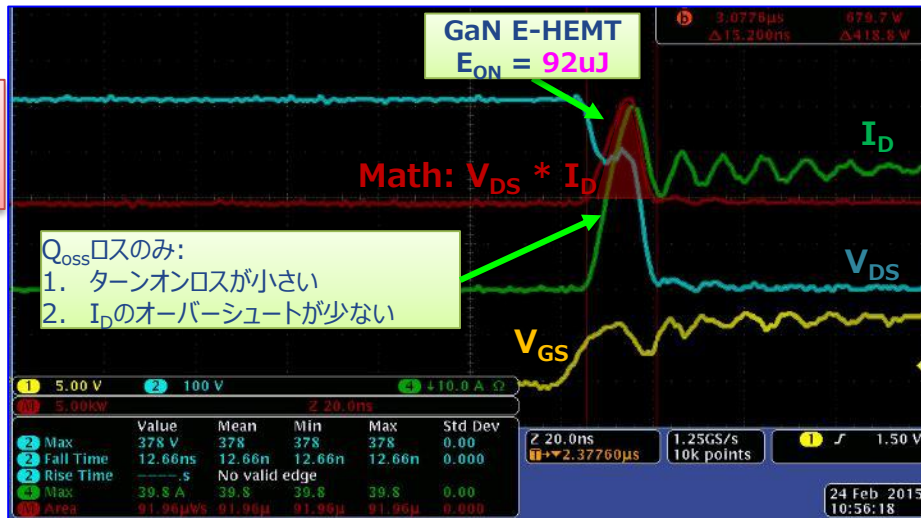


## 逆回復電荷 $Q_{RR}$ :

- GaN は  $Q_{RR}$  が無いため **ハードスイッチングのハーフブリッジ** に適している – IGBTの置き換え等
- Si MOS FETはハーフブリッジに用いた際、 $Q_{RR}$ により使用できないハーフブリッジがある
- 逆回復のロスがない GaN は、ブリッジレス トーテムポールのような新しい回路に用いることができる

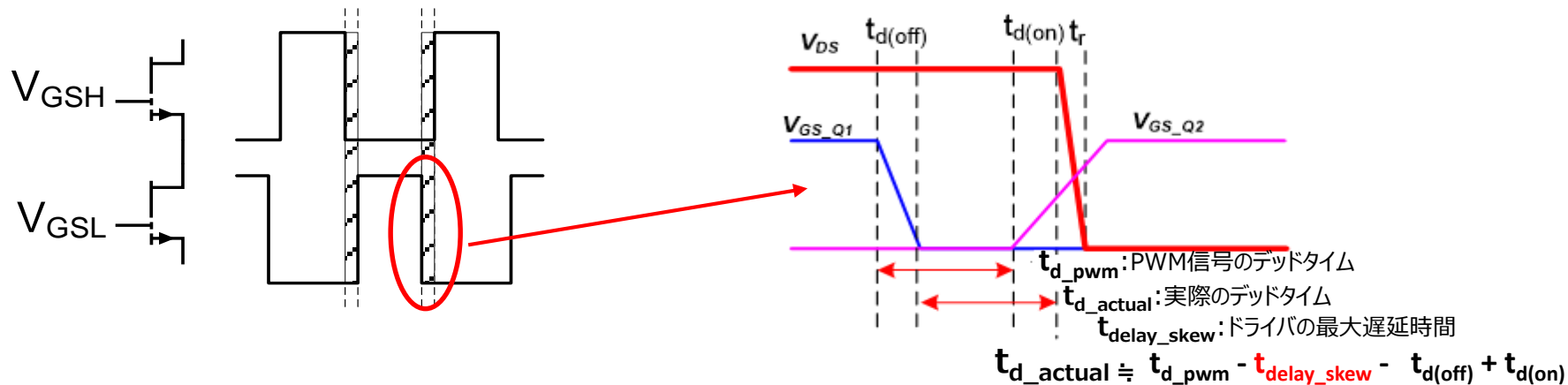
ハーフブリッジ ターンオン 400V/20A – SJ Si MOS FET

ハーフブリッジ ターンオン 400V/20A – GaN E-HEMT



ハードスイッチング用:  $t_{d\_pwm} > t_{delay\_skew} + (t_{d(off)} - t_{d(on)})$  が必須条件

- $R_G$ によるターンオン/オフの遅延差は、通常 $\pm 5ns$ の範囲である(GS66508)
- ハイ/ローサイドのゲートドライバの遅延差は、通常、ワーストケースで決定する。
  - ex. Si8261 絶縁ゲートドライバは  $t_{delay\_skew\_max} = 25ns$ . このときデッドタイム設定はMin **30ns** 以上必要
  - しかし実際の回路は、安全なマージンが必要；GS66508の場合、デッドタイムは、通常 **50-100ns** に選定される
- ソフトスイッチング用のデッドタイムはZVS（ゼロ電圧スイッチング）が成立する値に選定する。
- 100V用GaNのデッドタイムは(**10-20ns**)が用いられる（100V用ドライバが遅延の調整に優れるため）

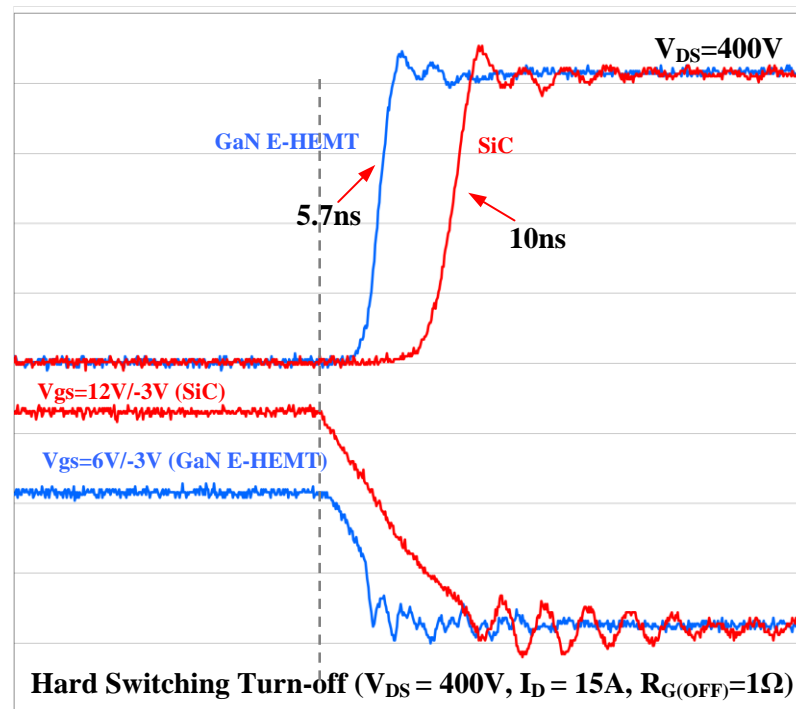
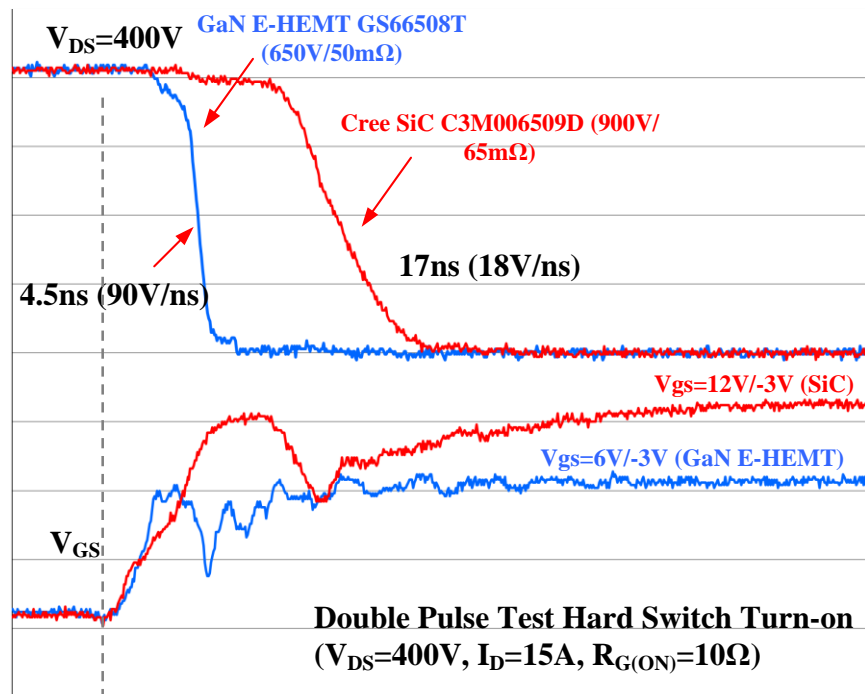


- ❑ [基本特性](#)
- ❑ [ゲートドライブ設計の留意点](#)
- ❑ [デザイン例](#)
- ❑ [PCB レイアウト](#)
- ❑ [スイッチングテスト結果](#)



## GaNはSiやSiC MOS FETより高速スイッチング; $dv/dt > 100V/ns$

- GaNは同程度のオン抵抗のSiC MOS FETに対し、ターンオンが約4倍、ターンオフが約2倍



## GaN E-HEMTの高速スイッチングに対する設計の考慮:

パワー部からゲートドライブループへのカップリングのノイズの低減をすることが**最優先**

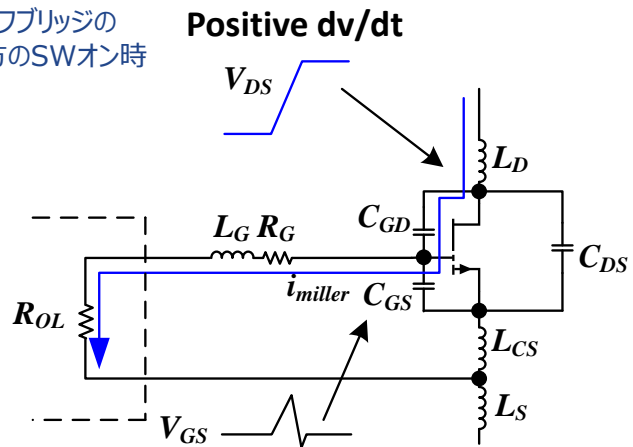
- 高 $dv/dt$ 、高 $di/dt$ 、低 $C_{ISS}$ 、低 $V_{G(th)}$ の組み合わせ  
→ 安全動作のため、ミラー効果による、ゲート閾値やゲート電圧定格を超える、スパイク電圧を抑える必要がある
- 適切な設計をすることで、ゲート電圧のリングングを防止し、デバイスの破壊を防ぐ
- GaNの高速のスイッチング性能の実現のため、妥協はすべきでない
- 高 $dv/dt$ の発生するハードスイッチングのハーフブリッジに、より重要な考えである
- シングルエンドのトポロジーはミラー効果の影響が少なく、また共振によるゼロ電圧スイッチング(ZVS)は、ハードスイッチングほどの考慮は不要

ここでは、ミラー効果の抑制やゲートのリングングを低減方法を述べ、推奨のゲートドライバを紹介する

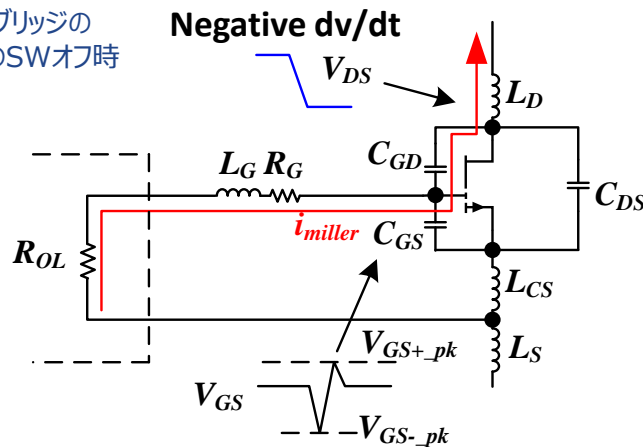
## ゲート回路のインピーダンス ( $R_G$ と $L_G$ ) はターンオンよりターンオフの方が重要

原則; ゲートはできるだけ最小のインピーダンスに抑える必要がある  
 高 $dv/dt$ によるミラー効果の影響は100V用より650V用に顕著に現れる

ハーフブリッジの  
 他方のSWオン時



ハーフブリッジの  
 他方のSWオフ時



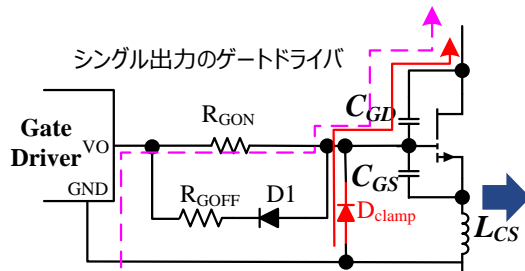
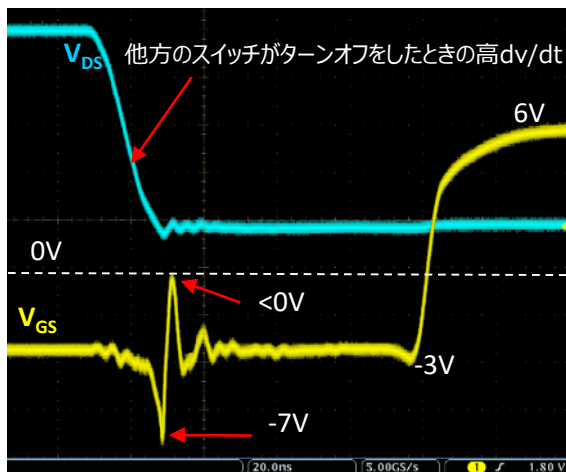
- 誤動作によるターンオンを防止
- プルダウンの強化 ( $R_G/R_{OL}$ を小さくする)
- リンギングを避けるため  $L_G$ を低減
- ゲートに負バイアスを用いる (推奨値: -2 to -3V)

- ターンオンによるスパイクを $V_{GS-pk}$ を-10V以内にする
- プルダウンのため $R_G/R_{OL}$ を低くし、リンギング低減のため $L_G$ を小さくする
- $V_{GS}$  0V以上の跳ね上がり (LC リンギング); ターンオンの誤動作やゲート発振を防止するため $V_{G(TH)}$  超えさせない

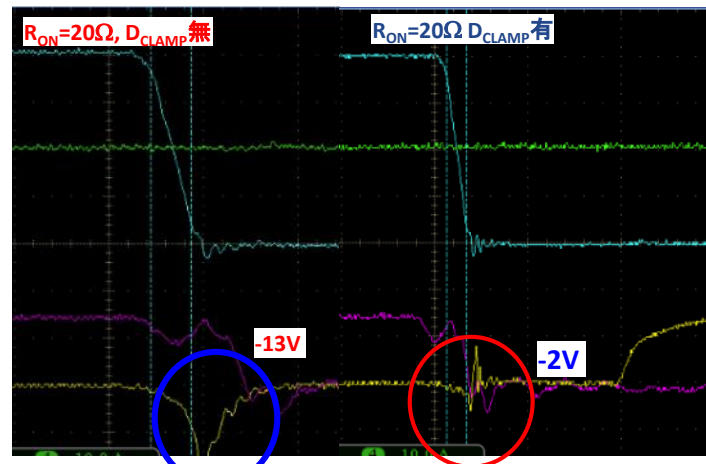
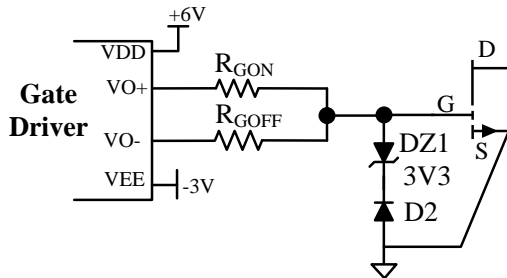
負の $dv/dt$ 発生時; ミラー効果による $V_{GS}$  スpike電圧低減のため、低インピーダンス経路の確保が重要  
(LC共振によるリングングを低減する)

- $C_{ISS}/C_{RSS}$  の比が変化する  $V_{DS} < 50V$  の $V_{GS}$  のスパイクに注意
- シングル出力ドライバには、クランプダイオードを推奨 ( $R_{GON}$  大のため) デュアル出力ドライバには不要(ただし $R_G$ と $L_G$ による)
- 負のゲートバイアスを用いる場合は、TVS\*ダイオードをクランプダイオードと直列に接続する (互いに逆極性で接続)
- $C_{GS}$  の追加は副作用に注意する ( $L_{gate}$  や $L_{CS}$ と LC共振を引き起こす)
- 負のゲートバイアスはターンオンの誤動作を防止するが、最悪の場合でも  $V_{gs-pk} > -10V$ に抑える

\* TVS (Transient Voltage Suppressor)



デュアル出力ドライバに負バイアスを用いた場合



## ゲート抵抗の正しい選定

- GaN E-HEMT のスピードはゲート抵抗により容易に制御できる
- 安定したパフォーマンスと駆動には正しい  $R_{G(ON)}/R_{G(OFF)}$  の比を選択することが重要
- $R_G$  はターンオンとターンオフとに分けることを推奨
- $R_{G(ON)}/R_{G(OFF)} \geq 5-10$  の割合に選べばミラー効果を抑制可能
- GaN は極めて低い  $Q_g$  とドライブ損失: 多くの場合 1005/1608サイズのチップ抵抗を使用可能

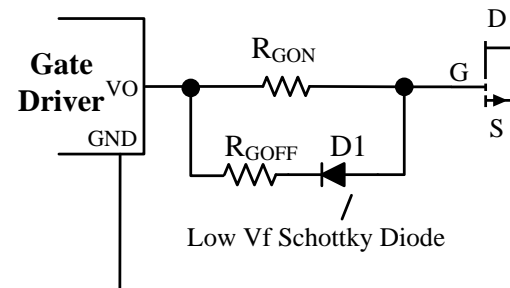
## ターンオン $R_{G(ON)}$ :

- ターンオンの  $dv/dt$  スルーレートを制御
- $R_{G(ON)}$  が大きいと  $dv/dt$  が遅くなり損失を増大
- $R_{G(ON)}$  が小さいと  $dv/dt$  が速くなる  
→ ミラー効果によるターンオンやゲートの振動により大きなスイッチング損失になる
- GS66508 :  $R_{G(ON)}$  は **10-20 $\Omega$**  の範囲を推奨

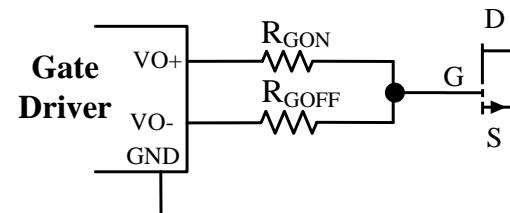
## ターンオフ $R_{G(OFF)}$ :

- 通常 **1-2 $\Omega$**  の範囲を推奨
- ロバスタなゲートドライブのために、低抵抗のプルダウンが必要

シングル出力のゲートドライバ



デュアル出力のゲートドライバ



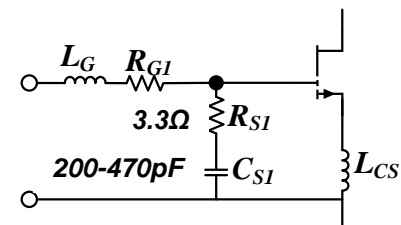
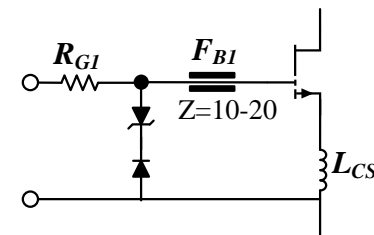
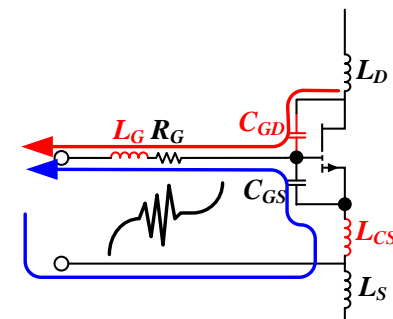
(推奨)

## ゲートのリングングや発振の原因

- ゲートのアンダー／オーバーシュートは  $L_G$  が大きいことが原因
- 共通ソースインダクタンス  $L_{CS}$  はパワーループ (di/dt) をゲートループへ返す
- 帰還容量  $C_{GD}$  による容量結合 (dv/dt)
- 測定用プローブによってもカップリングノイズが発生する

## ゲートのリングングや発振が発生した場合の対応

- 最初にレイアウトで  $L_G$ ,  $L_{CS}$  と G-D 間のカップリングを低減:
  - ドライバはできるだけゲートに接近させて配置
  - 太く短い配線でインダクタンスを低減
  - ケルビンソース接続を用いて  $L_{CS}$  を最小化
- 適切な  $R_G$  を選んで、ターンオンのスルーレートを調整
- ターンオフのため、ゲートに負バイアス (-3V) を試す
- 高周波の LC リンギングやオーバーシュートの抑制の最後の手段:
  - フェライトビーズ ( $Z_0=10-20\Omega@100\text{MHz}$ ) をゲートに直列に接続 (フェライトビーズは  $L_G$  を大きくするが、高周波のリングングを減衰させる)
  - RC スナバを G-S 間に接続する: 例  $R=3.3\Omega$  /  $C=200-470\text{pF}$



# ハイサイドドライブの留意点

## GaNは $dv/dt > 100kV/\mu s$ の高速スイッチングを実現:

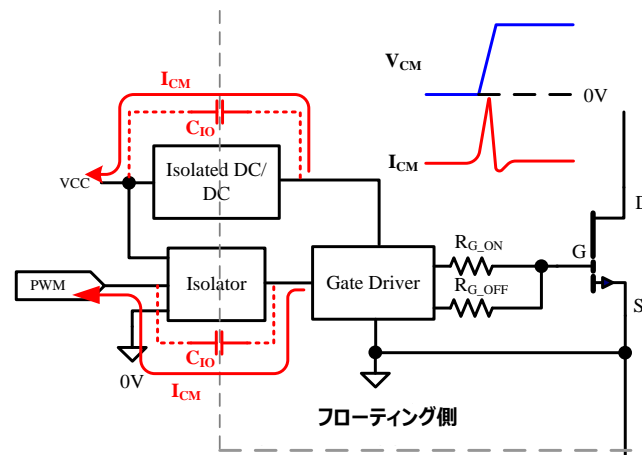
- 容量結合  $C_{IO}$  を最小にする
  - $C_{IO}$  介したコモン電流はCMTI\*を制限する
  - 絶縁を用いる、またはCMTIの高い絶縁ゲートドライバを用いる
- CMTI (同相過渡電圧耐性: Common Mode Transient Immunity)

## ゲートドライブを完全に絶縁:

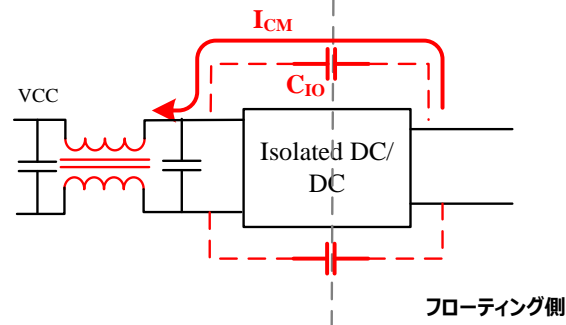
- 最高のパフォーマンス
- 絶縁の電源供給 - 内部配線の容量を最小にする

## ブートストラップ:

- 一般に100V用ハーフブリッジの設計に用いられる
- より低コストでシンプルな回路である
- ブートストラップダイオードは、 $C_j$ が小さい高速リカバリー品を選び高周波動作の損失とリカバリー時間を確認する。**
- ブートストラップの後にレギュレータや電圧クランプが必要



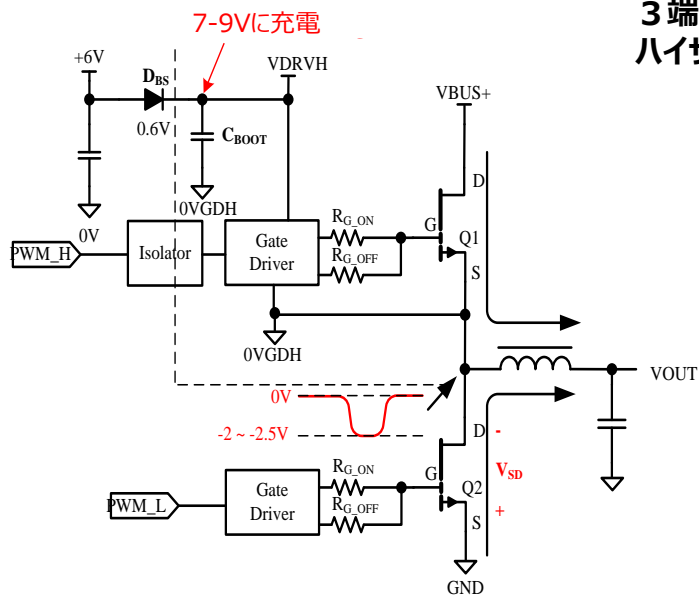
コモンノイズを抑えるために  
入力側にコモンモードチョークを追加





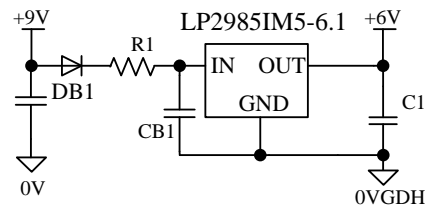
## 低コストの 0-6V ゲートドライブ

- 従来のブーストストラップ回路の問題点
  - GaN E-HEMT は高精度のレギュレーションが必要 (定格7Vに対し、5-6Vバイアス)
  - ローサイド フリーホイール; 負のノード電圧をコンデンサに過充電する ( $V_{GS} > 7V$ )
  - ハイサイド フリーホイール; ブーストストラップダイオードの電圧ドロップにより  $V_{GS}$  が6Vより低くなる
- レギュレータや電圧クランプの使用により、ハイサイドのゲートバイアスを確実に6Vにする

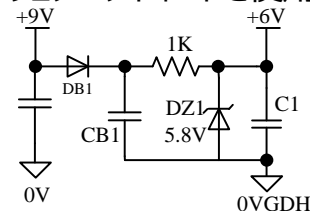


### 3端子レギュレータを用いて9Vから ハイサイドのバイアス制御をしたブーストストラップ

三端子レギュレータを使用

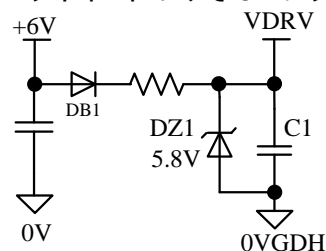


ツェナーダイオードを使用






















### 同期整流降圧用のブーストストラップ (過充電のクランプだけを行う回路 例;100V同期式降圧コンバータバック)

ツェナーダイオードのみで6Vにクランプ



## GaN Systems で検証し 当社GaN E-HEMTs用として推奨されているドライバ :

Configurations	Gate Driver/Controller IC	Design resources
<b>650V Half/Full Bridge:</b> 1. DC/DC: LLC, PSFB, Sync Boost/Buck 2. AC/DC: Totem pole PFC, Active Clamp Flyback 3. Inverter, motor drive	 <b>Si8271</b> – Single; <b>Si8273/4/5</b> – HB/Dual -GB (0-6V) or -AB (-3/+6V)	 <a href="#">Si827x Datasheet</a>  <a href="#">Si8271 demo board (GS66508T)</a>  <a href="#">IMS evaluation board User Guide</a>
	 <b>ADuM4121ARIZ</b> (0-6V Drive) <b>ADuM4121BRIZ</b> (-3/+6V Drive)	 <a href="#">ADuM4121 Datasheet</a>
	 <b>ACPL-P346</b> Use -4/+6V gate drive	 <a href="#">ACPL-P346 Datasheet</a>  <a href="#">ACPL-P346 Evaluation Board with GS66508T</a>
<b>80-100V Half/Full bridge</b> 1. 48V DC/DC 2. 48V POL 3. Sync. Buck/Boost 4. Class D Audio 5. Wireless Power Transfer	 <b>LM5113(NRND)</b> : 100V, max 5MHz <b>LMG1205</b> : 80V/5A HB Driver	 <a href="#">LM5113 Datasheet</a>  <a href="#">LMG1205 Datasheet</a>
	 <b>PE29101</b> : 100V, 48V DC/DC, 33MHz <b>PE29102</b> : 60V, Class D Audio, WPT, 40MHz	 <a href="#">PE29100 Datasheet</a>  <a href="#">PE20102 Datasheet</a>  <a href="#">PE29102 Demo board (GS61004B)</a>
	 UPI Semi GaN FET drivers: <b>uP1966A</b> : Dual-Channel GaN driver	 <a href="#">uP1966A GaN Driver</a>  <a href="#">Ultra High Speed 80V HB Driver for GaN Application</a>

Configurations	Gate Driver/Controller IC	Design resources
<b>Low side non-isolated driver for 650V/100V GaN*:</b>  1. Flyback, Push-pull 2. Forward 3. Boost PFC 4. Secondary SR 5. Class E P/A	<b>LM5114/UCC27511:</b> Single Channel, 4A, 5-6V drive <b>UCC27611:</b> w/ internal LDO (5V)	<a href="#">LM5114 Datasheet</a> <a href="#">UCC2751x Datasheet</a>
	<b>uP1964:</b> Internal LDO for 6V drive	<a href="#">uP1964 Datasheet</a>
	Other GaN compatible drivers <b>IXD609SI:</b> Single, 6V drive, high drive current (9A) <b>FAN3122/TC4422:</b> Single, 6V drive, high drive current (9A) <b>FAN3223/4/5:</b> Dual 4A, 6V drive, for push-pull or SR application	
<b>Sync Buck DC/DC (100V GaN):</b>  1. 48V-12V DC/DC	<b>LTC7800:</b> 60V, Sync. Step-Down Controller (up to 2.2MHz, w/ integrated GaN compatible drivers)	<a href="#">LTC7800 Datasheet</a>
<b>Secondary side Rectification (100V GaN):</b>  1. High frequency LLC 2. Flyback	<b>NCP4305A:</b> 5V gate drive clamp, 1MHz max	<a href="#">NCP4305 Datasheet</a>
	<b>SRK2001:</b> Adaptive SR controller for LLC, 5-6V drive for GaN, 500KHz max	<a href="#">SRK2001 Datasheet</a>

[\*]レベルシフト/信号アイソレータと組み合わせることにより、ハイサイドにローサイド非絶縁ドライバを使用できる。

- ❑ [基本特性](#)
- ❑ [ゲートドライブ設計の留意点](#)
- ❑ [デザイン例](#)
- ❑ [PCB レイアウト](#)
- ❑ [スイッチングテスト結果](#)

# 650V 絶縁ドライバデザイン #1 – 0-6V ドライブ

VDD: システムの使用電圧に応じて5,9または12V を供給

dv/dtに対するノイズ対策としてコモンモードチョーク追加

## 絶縁DC/DC電源 PS1の選定:

- VDDより9Vを生成, 1W, 3kV絶縁
- dv/dtの耐性には, 低いC<sub>IO</sub> がよい
- 部品型名 参照/推奨:
  - RECOM R1S-xx09/HP
  - Mornsun Fxx09XT-1WR2

## PWM 入力:

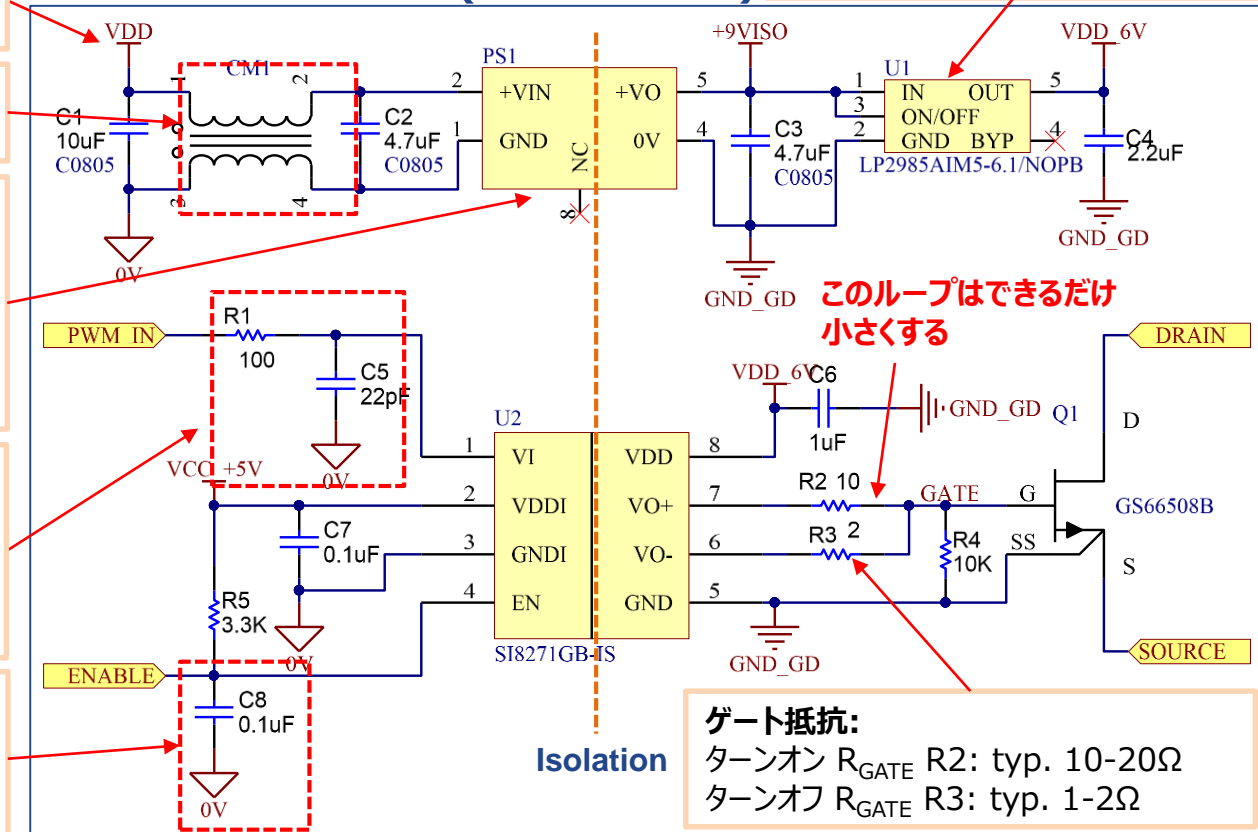
- コントローラから 3.3Vor5Vロジック信号
- ノイズフィルタとしてRCを追加
- ノイズが多い状態では, デグリッチャのあるドライバを検討する (記号 -IS1)

## Enable:

- 未使用時 VDDI に接続
- ENピンの近くにフィルタコンデンサ (100nF) を配置し誤トリガを防止

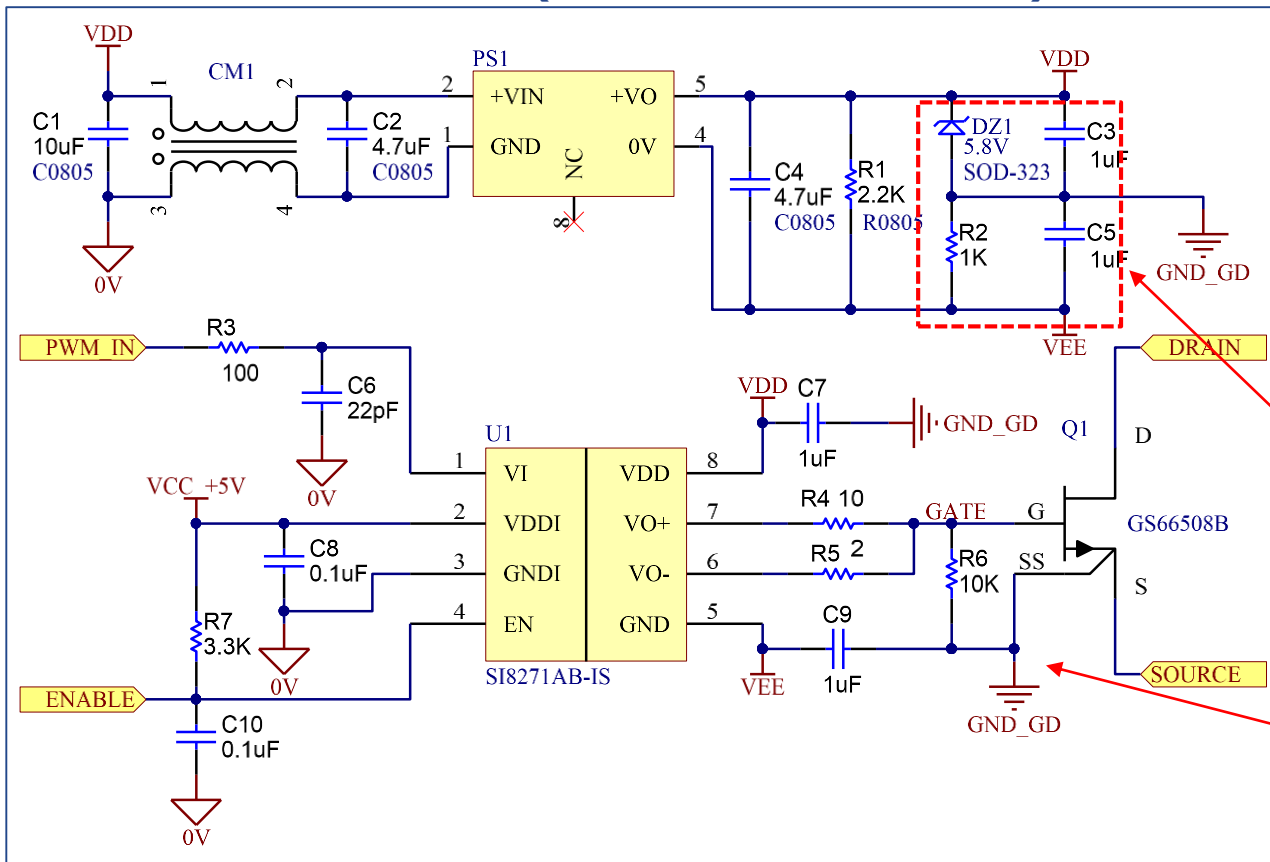
## Si8271-絶縁ドライバ (0-6V ドライブ)

6V レギュレータにより正確な V<sub>DRV</sub>



高周波のZVSのアプリケーションに推奨

## Si271-絶縁ゲートドライバ (-3/+6V バイポーラdrive)



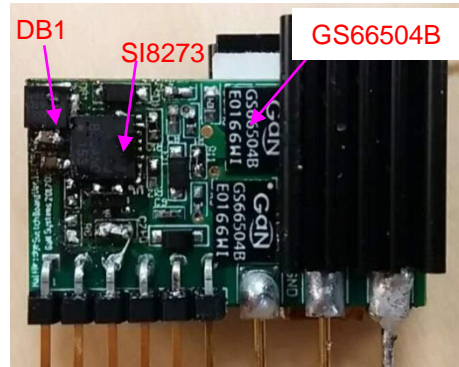
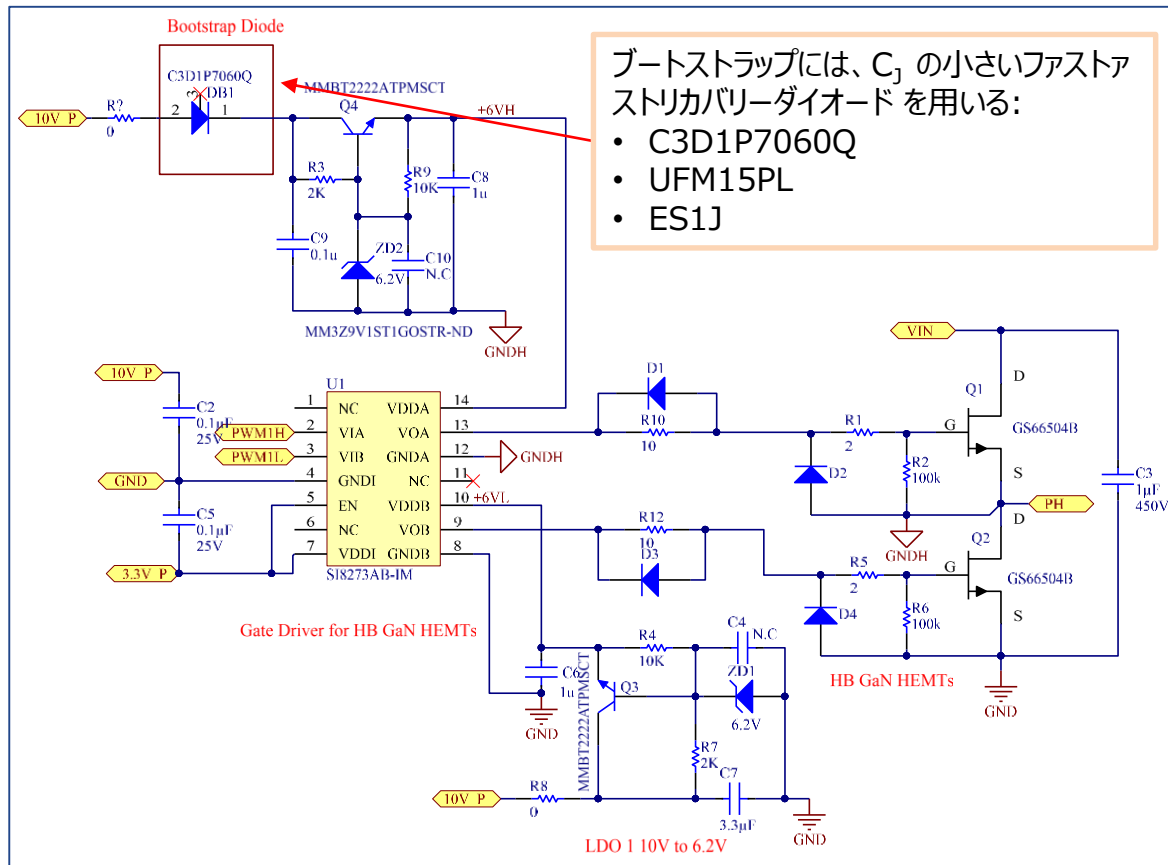
- 貫通やゲート振動を低減し、速やかにターンオフできる (スイン칭ロスを低減)
- 逆導通のロスが大きくなる
- ハードスイッチングや高出力のアプリケーションに適する

DZ1 と R2 により 9V を +6V と -3V のゲートバイアスに分ける。中点はグランド0Vとして使用され、GaNデバイスのSSに接続される。

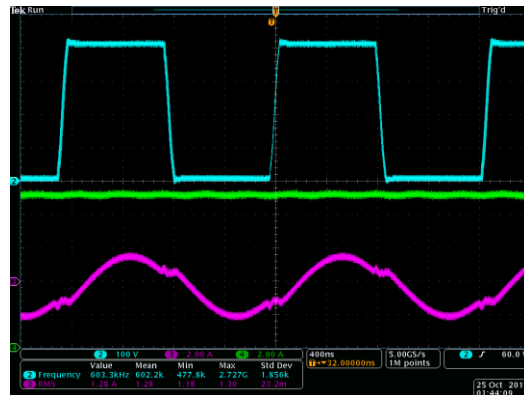
- バイパスコンデンサC7/C9 は U1の VDD/GNDに近づける
- U1 と Q1 Gate/SS はできるだけ近づける
- 9Vで動かすため、高い UVLO のドライバを使用できる

# ブートストラップ ハーフブリッジ ゲートドライバ

## 低コストの高周波ソフトスイッチングのハーフブリッジ回路に推奨 (AFC; アクティブクランプフライバック, LLC etc)

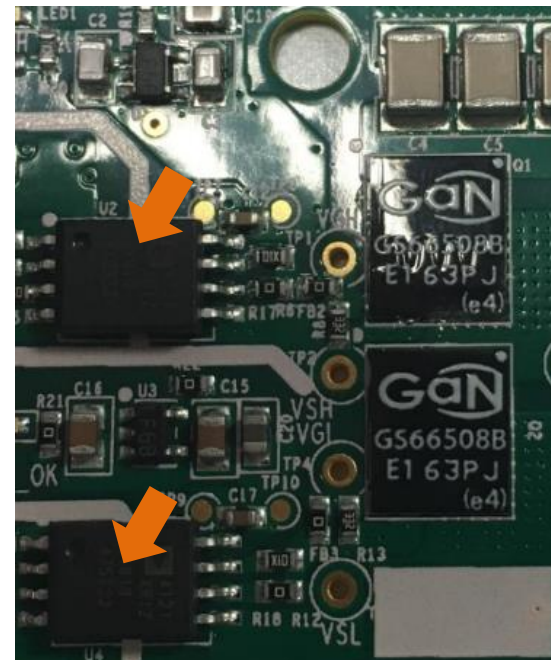
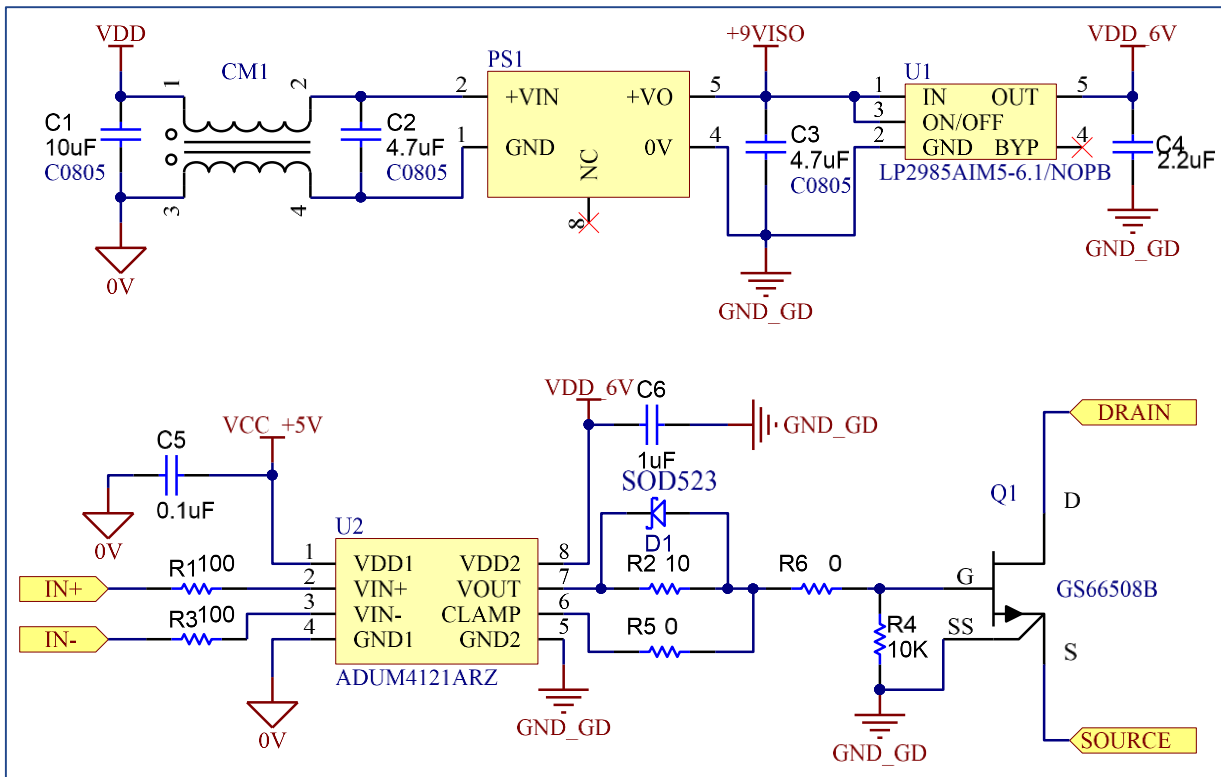


LLC テスト波形 (400V/1.3A 600kHz)

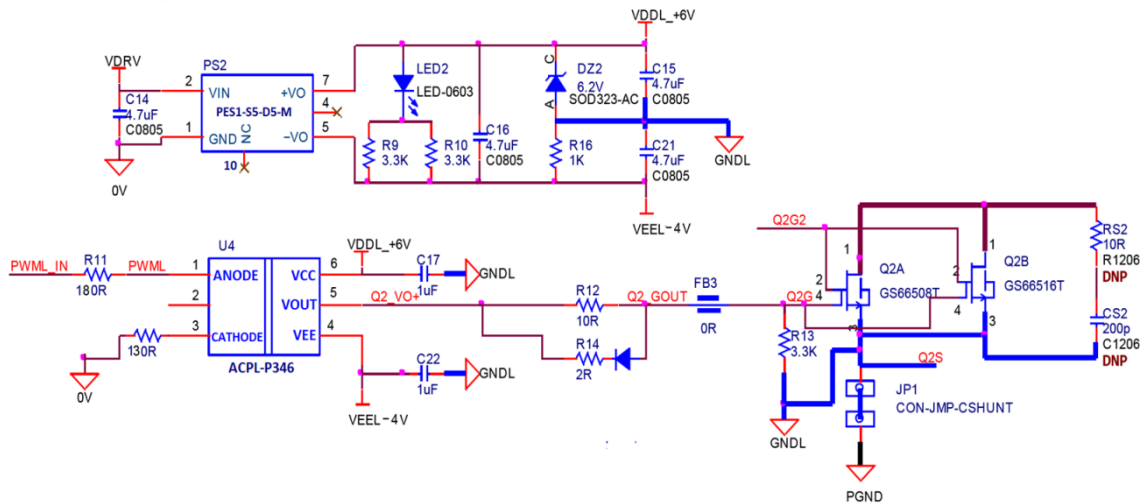
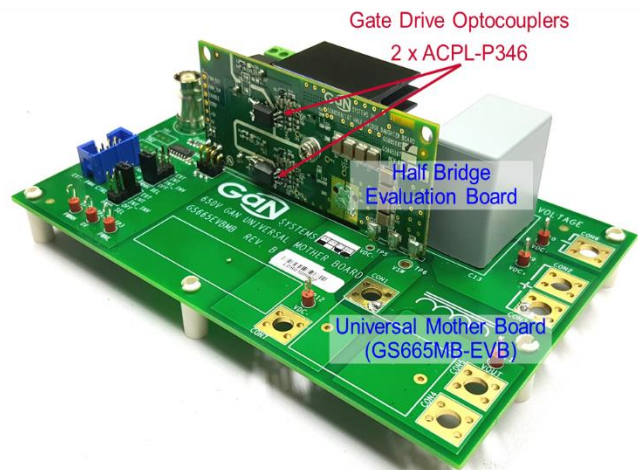




## ADuM4121ARZ-GaN HEMT (0-6V ドライブ)用に絶縁ゲートドライバ



## 絶縁ゲートドライバ; ACPL-P346 (-4/6V)

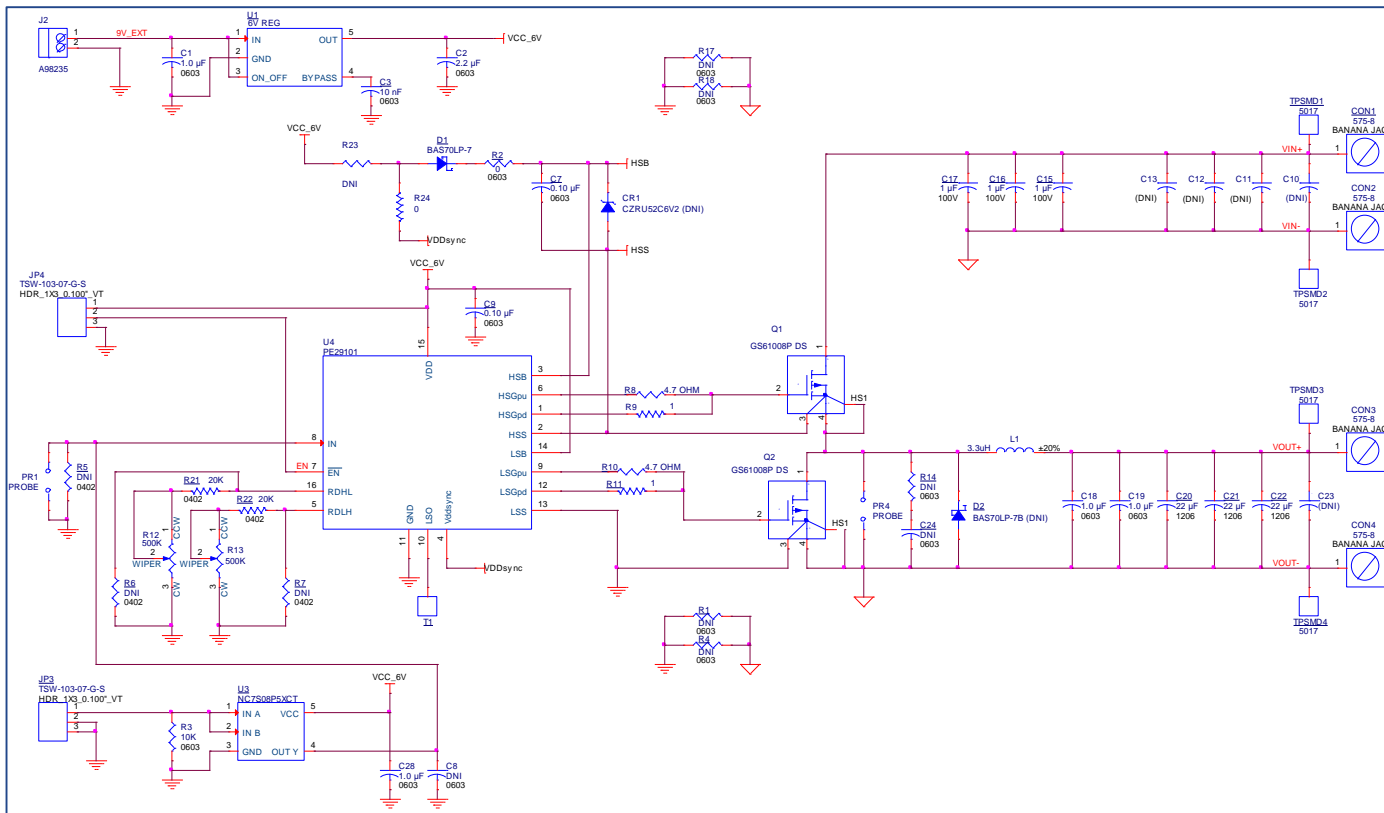


### ハーフブリッジ・ボード・リファレンスデザイン

GaN Systems 650V E-HEMT (30A/50mΩ) トランジスタ (GS66508T)  
Broadcom 2.5A フォトカプラのゲートドライブ, ACPL-P346

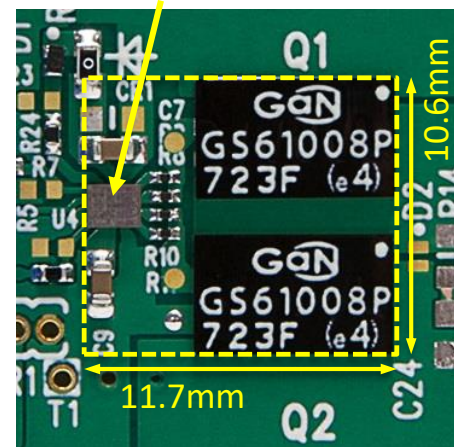
ドキュメントのダウンロード: <https://docs.broadcom.com/docs/ACPL-P346-RefDesign-RM101>

# 100V ハーフブリッジGaNドライバ PE29101



- GaN用 80V HB ドライバ
- 6V ゲートドライブを提供
- 48V DC/DC アプリケーション
- 高周波ドライブ (>5MHz)
- デッドタイム調整可
- 低インダクタンスパッケージ

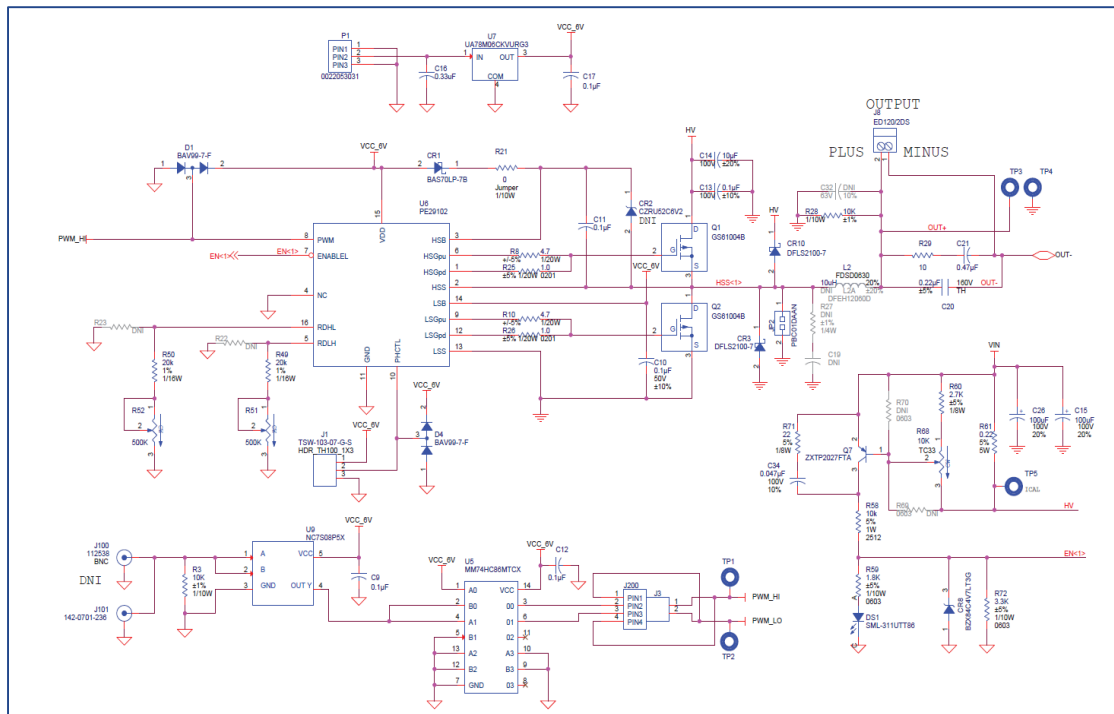
**PE29101**



<http://www.psemi.com/newsroom/new-products/666336-pe29100-gan-fet-driver>

## PE29102 - 60V ハーフブリッジ GaN ドライバ, 高周波のアプリケーションに最適化:

- D級オーディオアンプ, DC/DC, ワイヤレスチャージング



## GS61004B-EVBCD



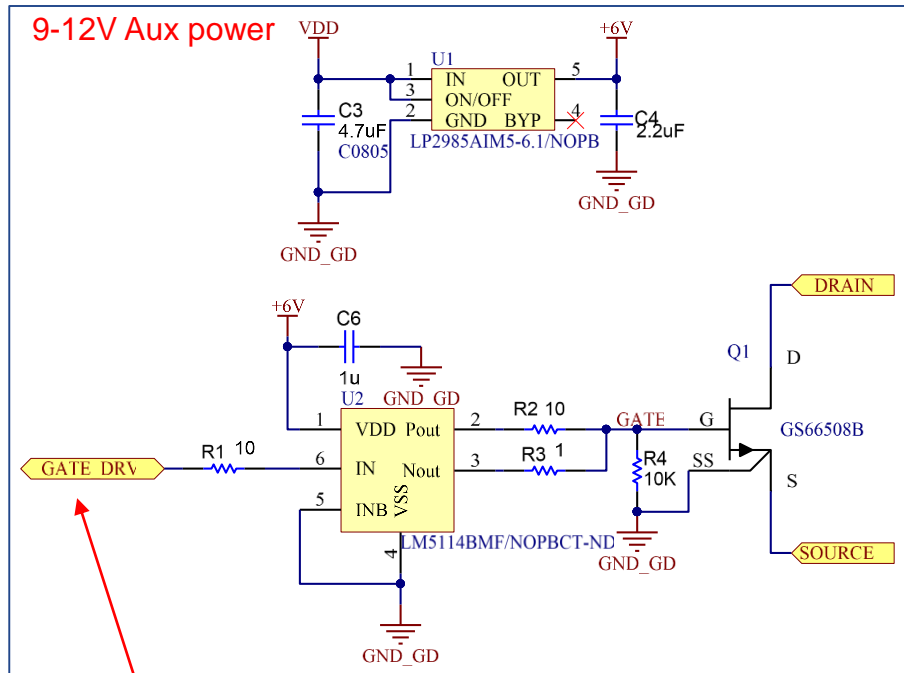
100V GaN E-HEMT フルブリッジ評価ボード,  
D級アンプに最適化

GS61004B-EVBCD 評価ボードに関する詳細の情報をこちらまで: <http://gansystems.com/design-center/evaluation-boards/>

シングルエンドのアプリケーション (E級電圧共振, フライバック, プッシュプル etc)

- ゲートドライブのバイアスを5-6V でGaNをドライブ (ローサイドまたはハイサイド)

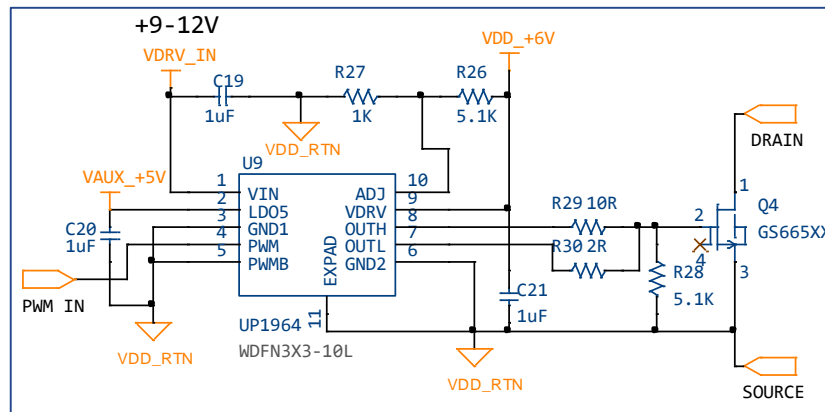
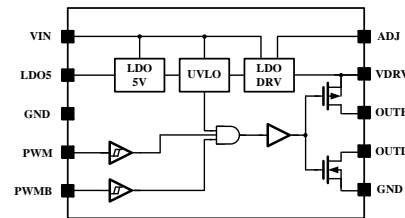
LM5114 low side driver



制御ロジック信号(3.3/5V) または MOS FET ドライブ出力 (14V以下)

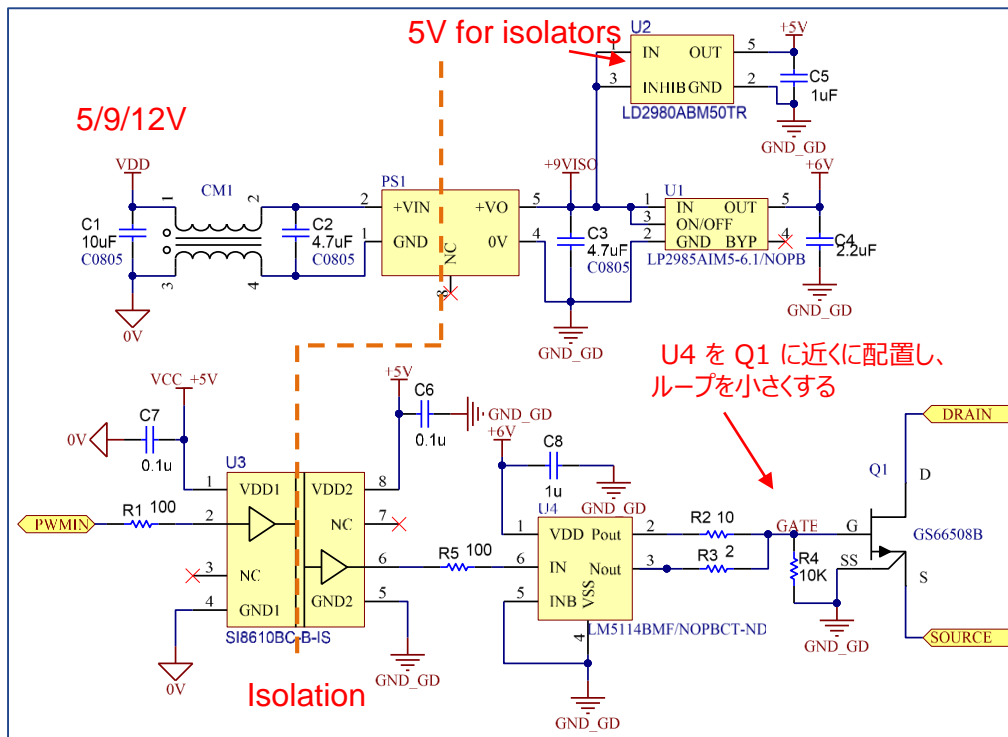
uP1964 GaN ドライバ

- 6V バイアスのレギュレータを集積
- 5V 基準電圧出力



## ハイサイドに絶縁GaNドライバ/ハーフブリッジのローサイドドライバ+シグナルアイソレータ またはHBドライバ

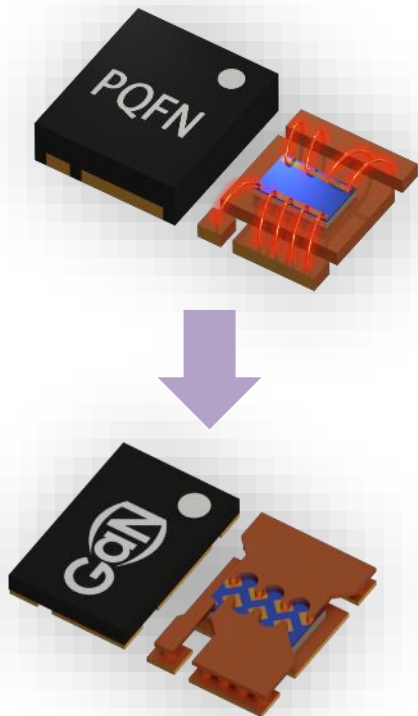
- 従来の絶縁ドライバのソリューションの周波数やドライバ性能の制限を超える
- 既存のコントローラ/ハーフブリッジドライバを適用(ドライバが高いdv/dtを処理できることを確認)
- ローサイドドライバをGaNに近づけることによってゲートドライブループを改善する



- ❑ [基本特性](#)
- ❑ [ゲートドライブ設計の留意点](#)
- ❑ [デザイン例](#)
- ❑ [PCB レイアウト](#)
- ❑ [スイッチング波形](#)

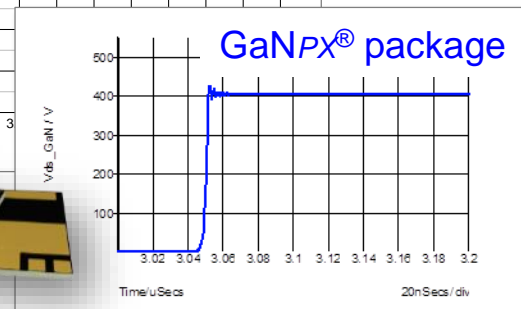
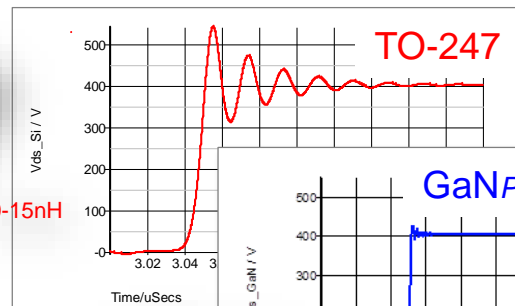
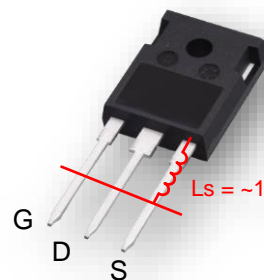


## 従来 PQFN + ワイヤーバンディング



## 高速GaNデバイスのパッケージ イノベーション:

- 超低インダクタンス: 高周波スイッチング
- チップサイズに近いエンデベッドパッケージング
- ワイヤーボンディング無: 高信頼性
- 熱膨張率  $C_{TE}$  をPCBに合わせた: 温度サイクルの信頼性\*
- 低い熱抵抗  $R_{\theta JC}$



- 高い dv/dt
- $V_{DS}$  オーバーシュートが小さい
- ノイズが小さい

$L_{Source} < 0.2nH$



## エンデベッド GaN<sub>PIX</sub>® パッケージ

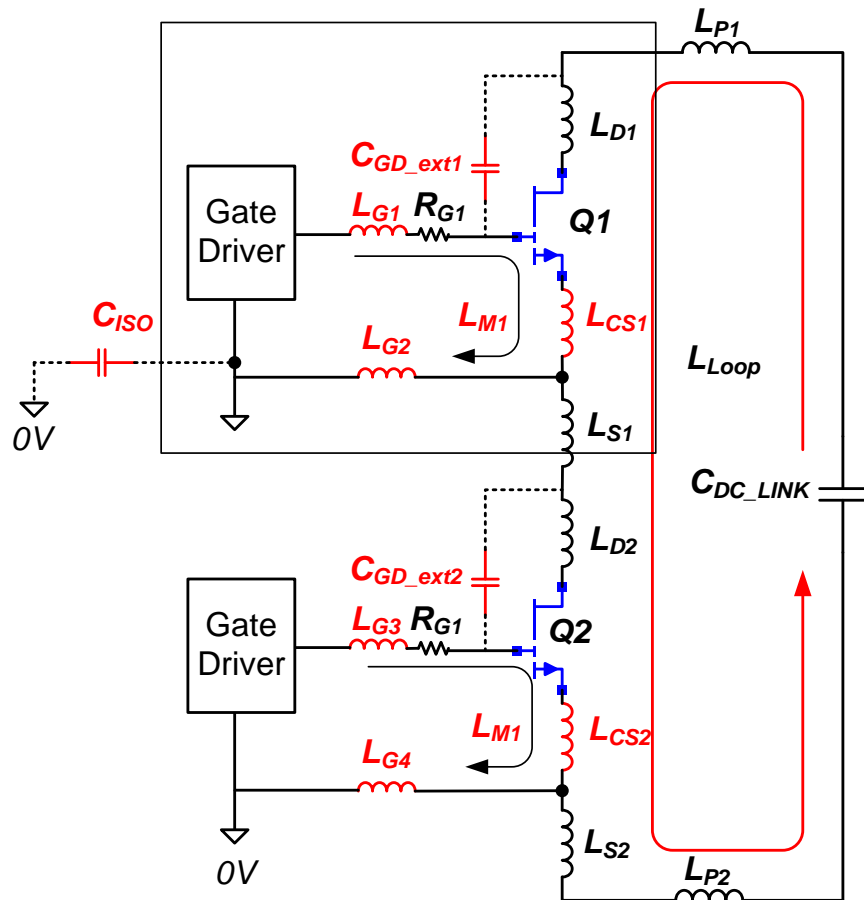
[\*] GaN<sub>PIX</sub>® パッケージは IPC9701 (はんだ接合信頼性試験1000hrを満足する。  
条件: 12-Layer 2.5mm PCB, 内部銅箔 175 $\mu$ m, 外部銅箔 70 $\mu$ m)

## GaN<sub>PMX</sub>® エンベデッドパッケージの設計

- GaN<sub>PMX</sub>® ボトムサイドの放熱 (B/P)
- GaN<sub>PMX</sub>® トップサイドの放熱 (T)
- 熱設計

## レイアウトの寄生成分は次の順序で最小化する:

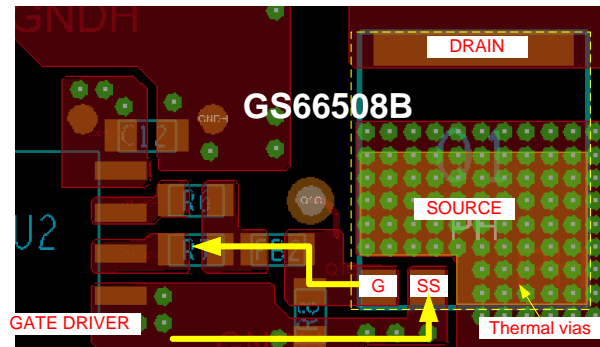
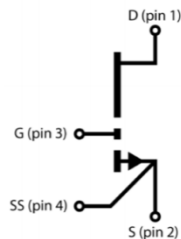
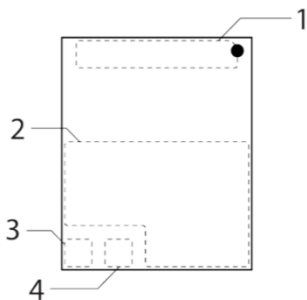
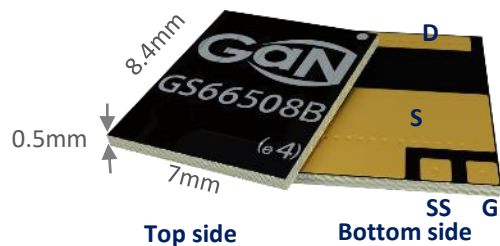
1. 共通ソース / 相互インダクタンス  $L_{CS}$
2. ゲートループインダクタンス  $L_G$
3. パワーループインダクタンス  $L_{loop}$
4. ドレインとゲート間のキャパシタンス  $C_{GD\_ext}$
5. 絶縁カップリングキャパシタンス  $C_{ISO}$



# GaN<sub>PIX</sub>® パッケージ: ボトムサイド放熱 (B タイプ)

- エンベデッドパッケージは究極の低インダクタンス
- GS66508B は専用のケルビンソース接続ピン (ソースセンス-SS)がある
- ハイパワー向けには、PCBのビアや金属コアを用いて、PCBに放熱

GS66508B (650V, 30A, 50mΩ)

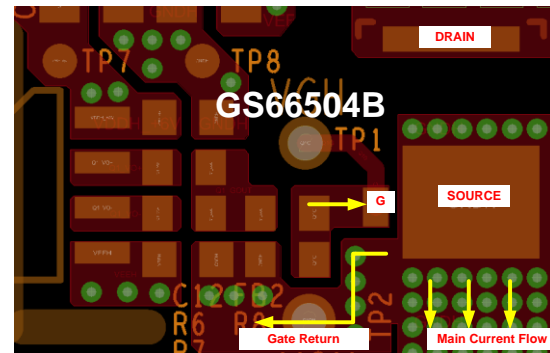
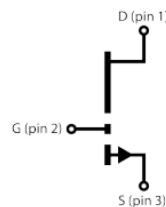
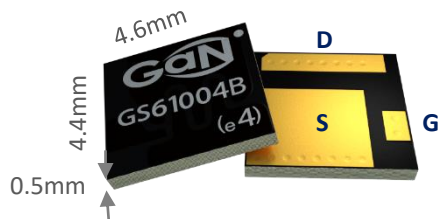


ゲートへのリターンにSSを使う

GS66504B/GS66502B (650V, 15/7A, 100/200mΩ)



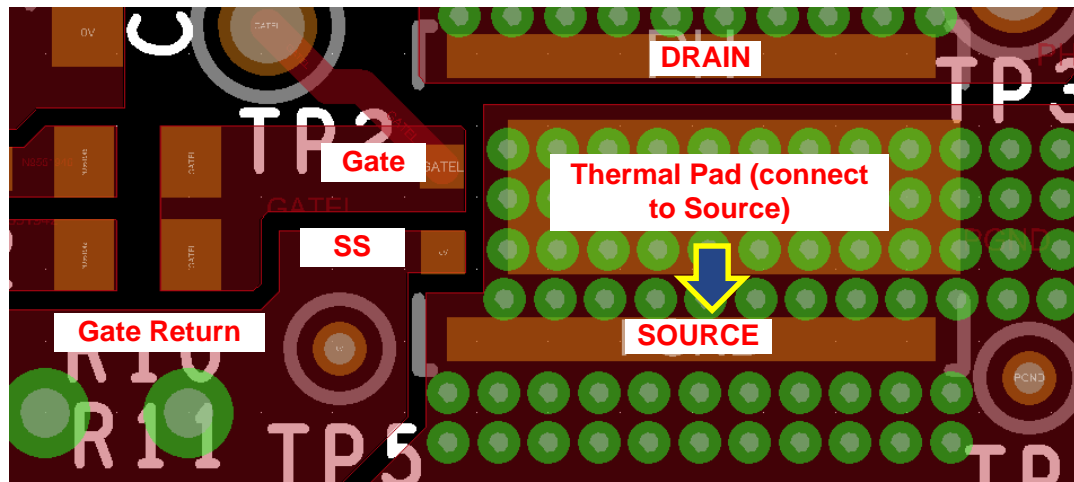
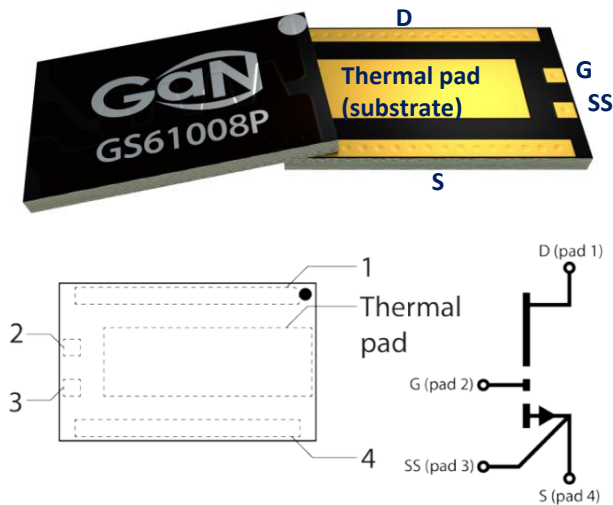
GS61004B (100V/45A, 15mΩ)



PCBにケルビンソースをつくる

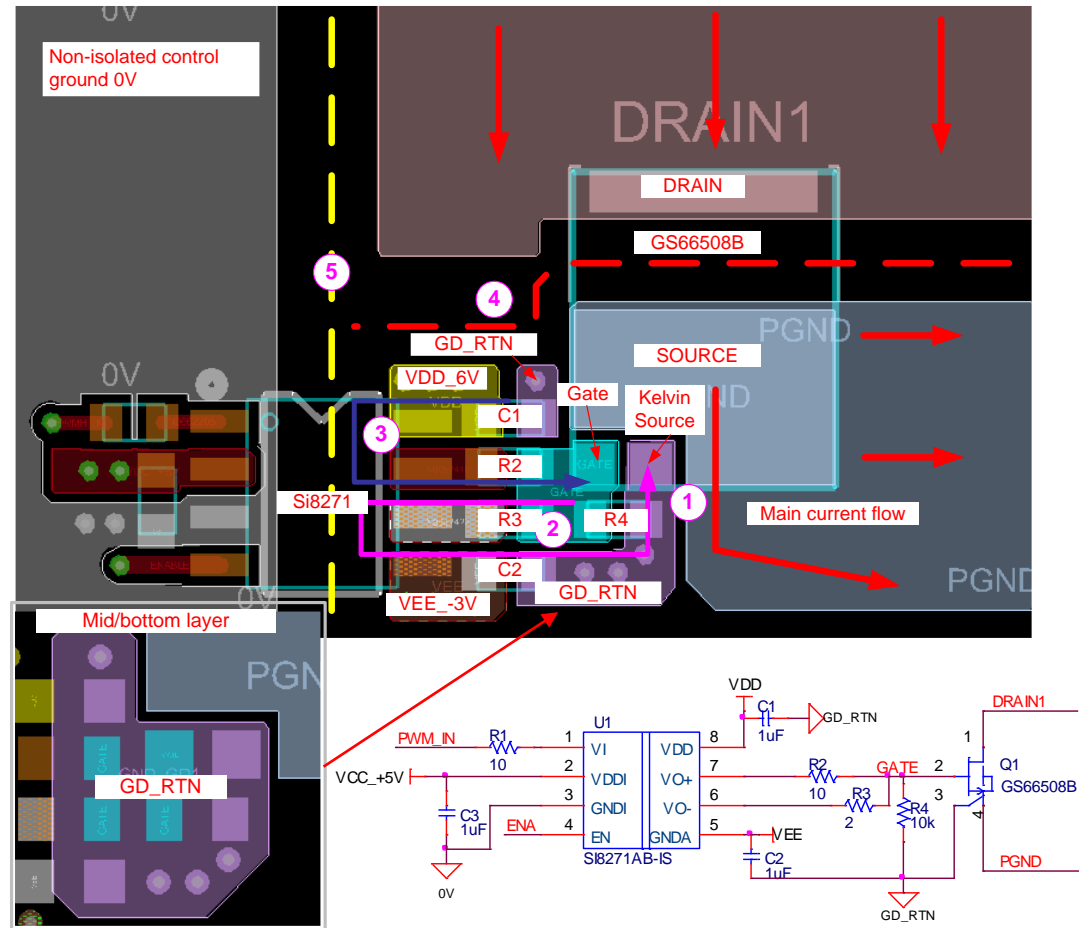
- P タイプはサーマルパッドがフローティングであることを除けばB タイプと同じ
- ケルビンソース接続には、SSピンを使う
- **サーマルパッドはPCB上でソースに接続することが必須**

GS61008P (100V/90A, 7.5mΩ)

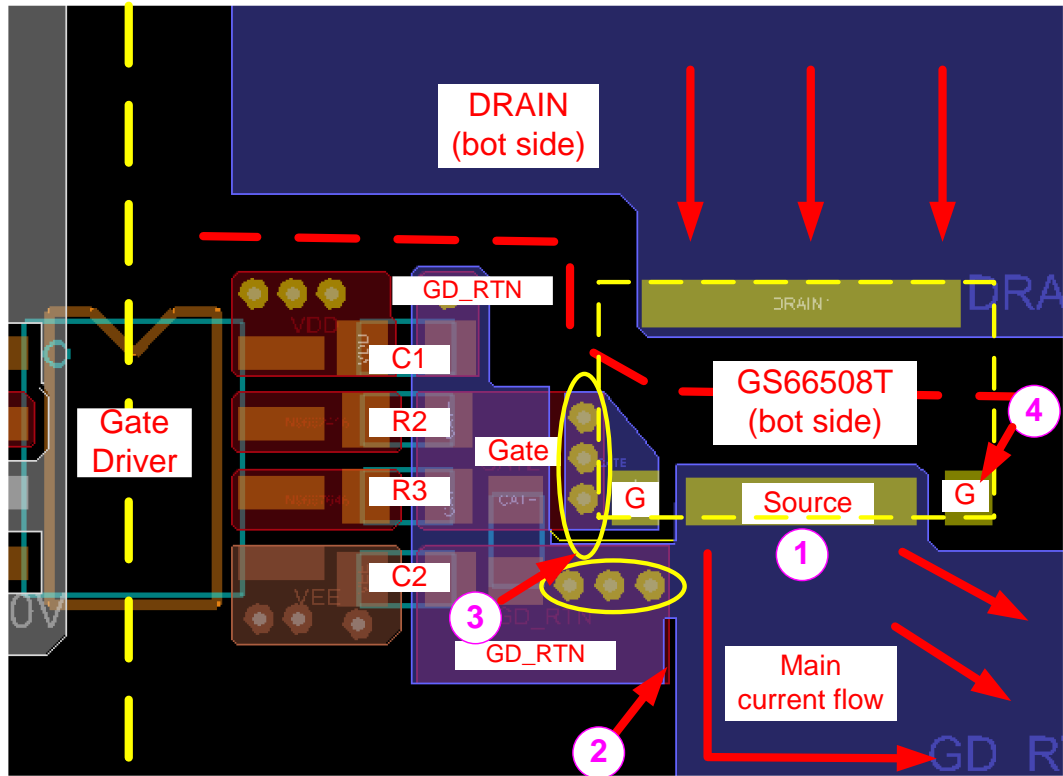
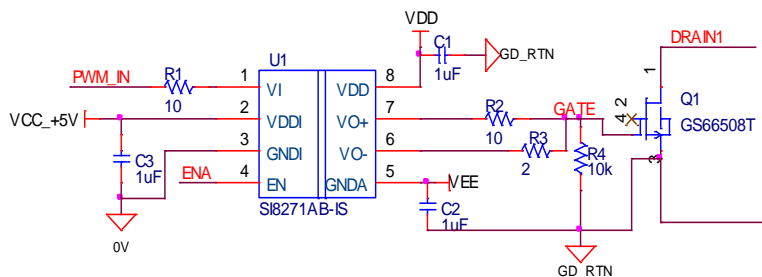


# 最適なレイアウト例 – ボトムサイド放熱のゲートドライブ

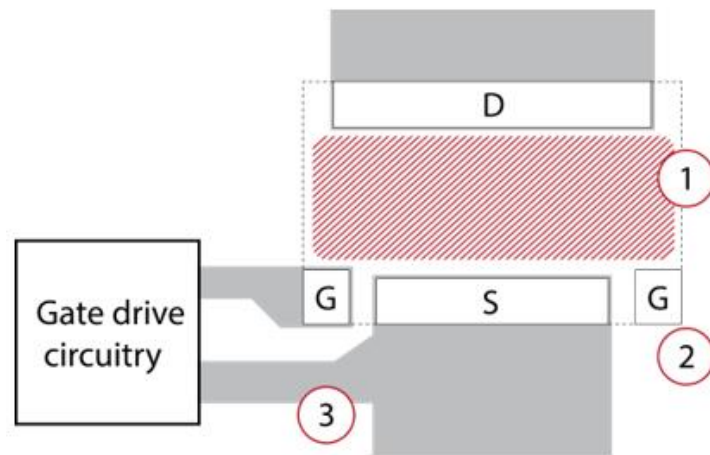
- ① ドライブとパワー-GNDを分離するためケルビンソースを使う/つくる (低い $L_{CS}$ ). ノイズを小さくするため、高電流ループとドライブループを物理的に分離する
- ② プルダウンのループを最小化する (Gate→R3 → U1 → C2 →GS\_リターン, U1 と C2 を近づけ配置)
- ③ ターンオン(プルアップ)のループを最小化する (C1 を近づけ配置)
- ④ ゲートドライブとドレインパターンを絶縁しオーバーラップを避ける
- ⑤ ドレイン/ソースから制御GNDを絶縁しオーバーラップを避ける (CMTI,  $dv/dt$ )



- ① GaNPx® T タイプのドライブは、ヒートシンクの取り付けのため、裏面にレイアウトする
- ② ゲートドライブのリターンヘルビンソース接続をつくる (裏面側)
- ③ 複数のビアを使って裏面から表面へのインダクタンスを低くする
- ④ ゲートピンは一つを使い、もう一つは接続しない



- ① このエリアには配線しない: 直接、トップサイド放熱パッケージの下のPCBのトップレイヤーにパターンやビアを配置することを避ける。これは、高い温度と高電圧の動作中のマイグレーションやソルダーマスクの絶縁劣化問題を防ぐためである
- ② 対称の2つのゲートはフレキシブルなレイアウトと容易な並列動作のためである。どちらも使うことができるが、使わない方は、フローティングにする
- ③ トップサイド放熱のタイプには、ソースセンス(SS)はない。これは超低インダクタンスの GaN<sub>px</sub>® のパッケージを実現するためである。ソースセンスはゲート端子近傍のソースパッドから信号を引き出すことで機能させることができる。これにより、どちらかのソースパッドの横でレイアウトの最適化を行うことができる





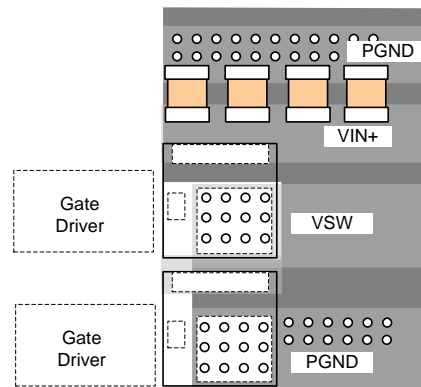
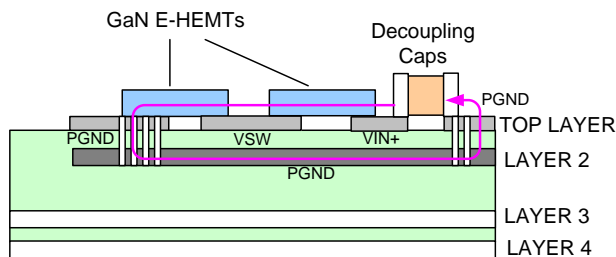
## 小さいループと低いインダクタンスのハーフブリッジのパワー部の設計

### レイアウトガイド

- 4層のPCBを推奨する
- 2番目の層をグランドにする
- 面実装のセラミックコンデンサをデカップリングコンデンサに用いて、GaNに近づけて配置する
- 複数のコンデンサを用いてESR/ESLを低減し、安定したパワーループをつくる
- ドライバはゲートに近づける
- ドライブのリターンにケルビンソースを用いる

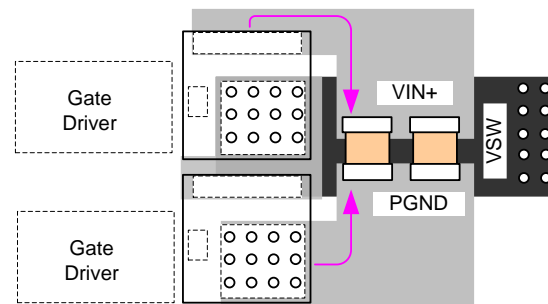
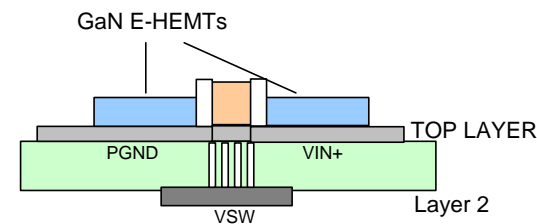
### ハーフブリッジの設計 1

2番目の層をグランドリターンに使う(4層PCB)

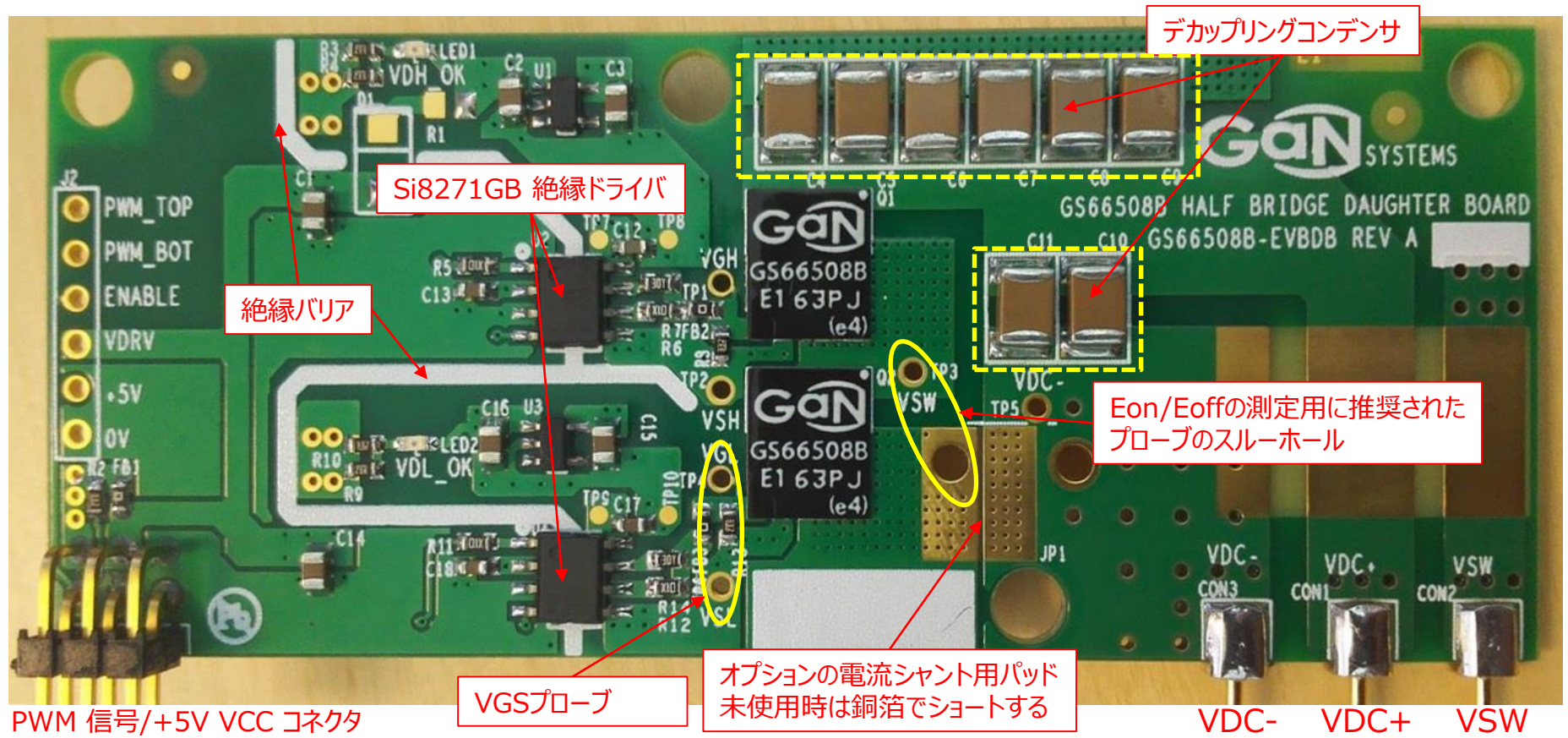


### ハーフブリッジの設計 2

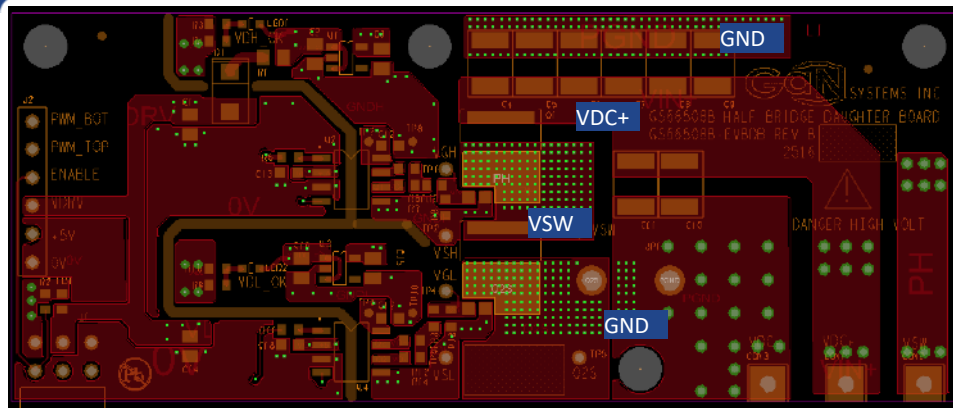
トップレイヤーをパワーループのみに使う



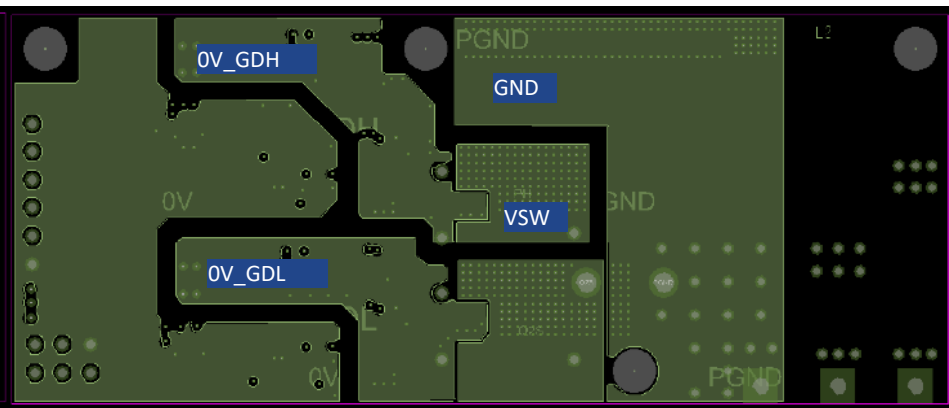
- ❑ [基本特性](#)
- ❑ [ゲートドライブ設計の留意点](#)
- ❑ [デザイン例](#)
- ❑ [PCB レイアウト](#)
- ❑ [スイッチングテスト結果](#)



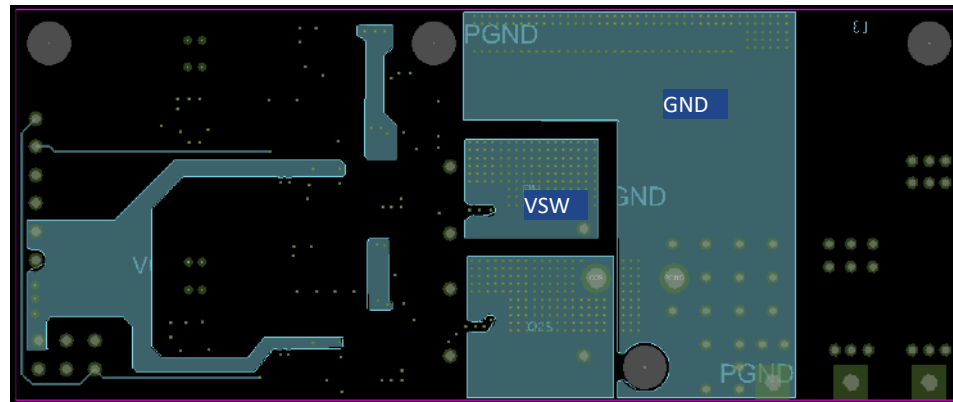
# GS66508B-EVBDB PCBのレイアウト



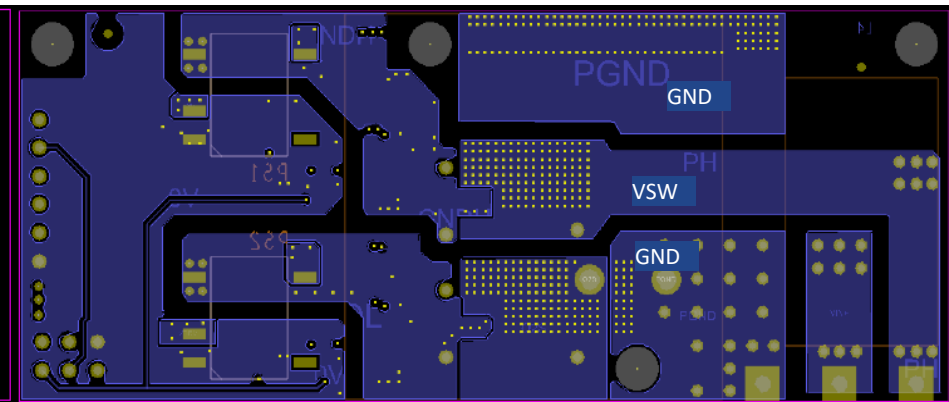
Top Layer



Mid layer 1



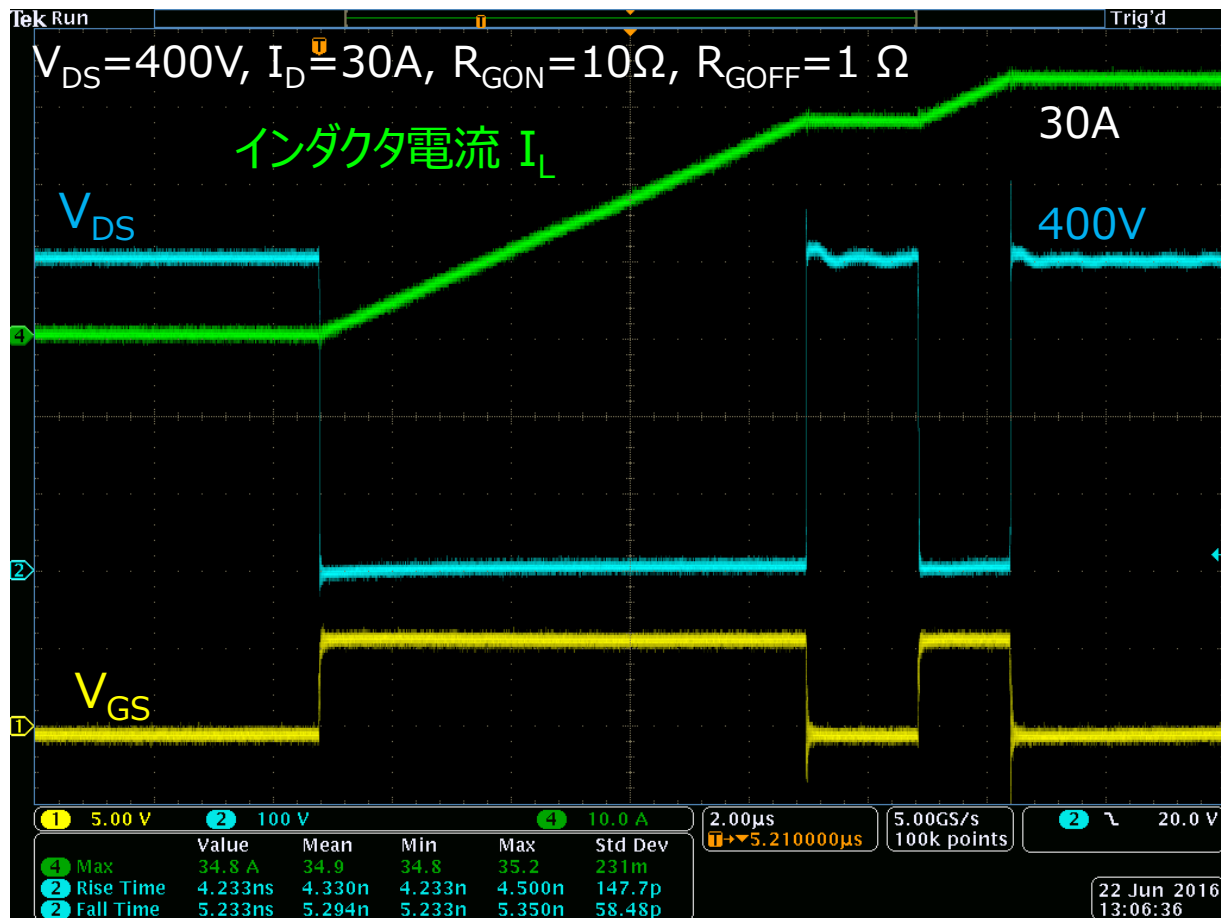
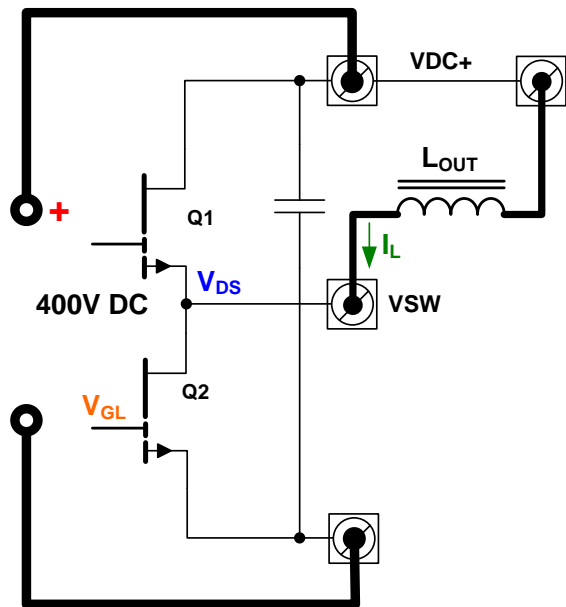
Mid layer 2



Bottom Layer

# GS66508 ダブルパルス スイッチングテスト

- GS66508B  
ハードスイッチング (400V/30A)

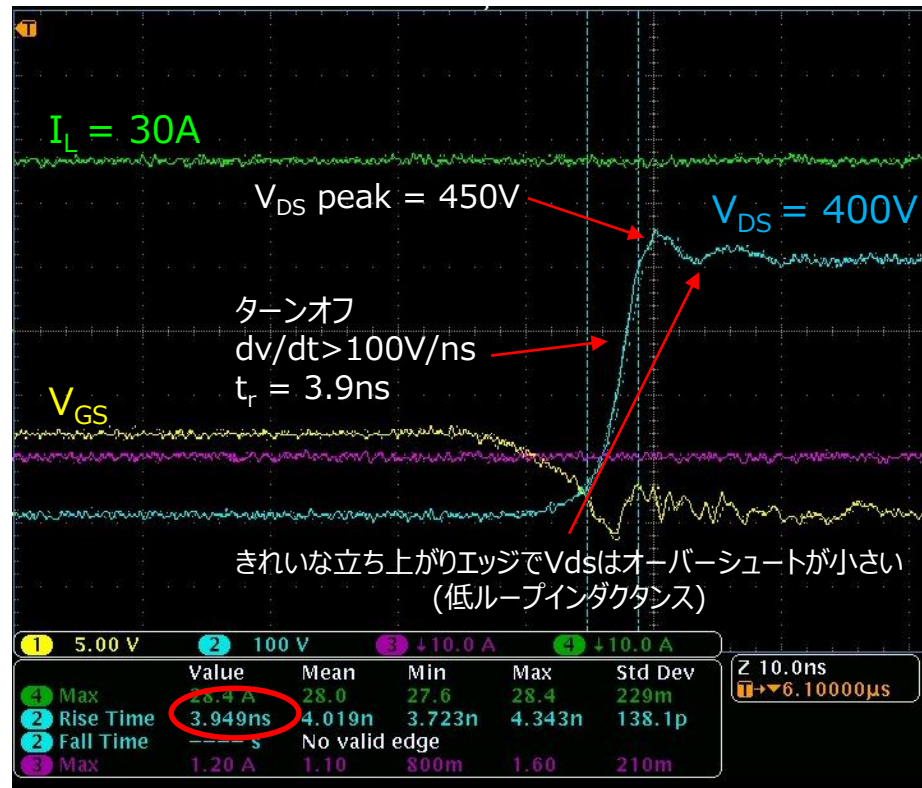
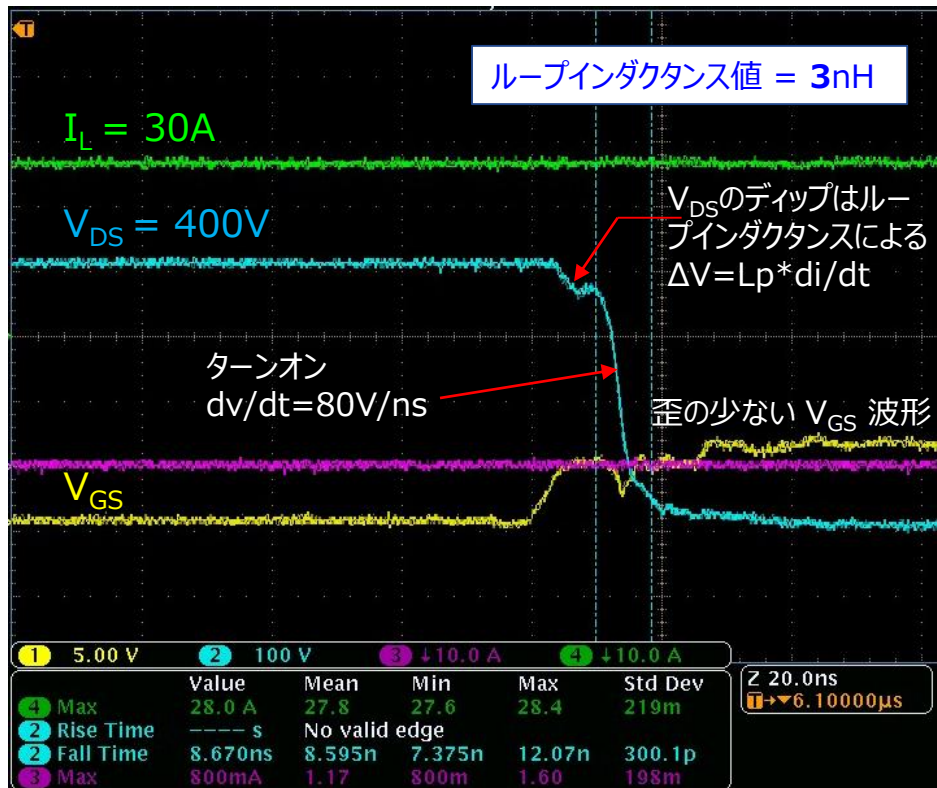




# GS66508 ダブルパルス スイッチングテスト (拡大)

$V_{DS}=400V, I_D=30A$  ハードスイッチングターンオン

$V_{DS}=400V, I_D=30A$  ハードスイッチングターンオフ



- このアプリケーションガイドで、GaN Systems の GaN E-HEMTs を用いる時の重要な設計の留意点をまとめた。GaN E-HEMTの基礎から、ゲートドライブ設計の検討事項までを述べた
- また、推奨ドライバのリストと様々なゲートドライブのリファレンスデザインについても提供した
- 実際にハーフブリッジ評価ボードを作成し、そのスイッチング性能をテストした
- 400V/30Aのスイッチング試験結果は、リングングやオーバーシュートが抑制され、高速かつクリーンなハードスイッチング波形を示した。これは、低インダクタンスの GaN<sub>PX</sub><sup>®</sup> のパッケージを用いて、最適なゲートドライブと基板レイアウト設計を行うことで、GaN E-HEMTの性能を最大限に引き出せることを示している

- **データシート, スパイスモデル**

Datasheets, spice models: <http://www.gansystems.com/transistors.php>

- **評価ボード**

Evaluation boards: <http://www.gansystems.com/eval-boards.php>

- **アプリケーションノート**

Application notes: <http://gansystems.com/design-center/application-notes/>

- **PCB フットプリントライブラリー**

PCB Footprint libraries: <http://www.gansystems.com/transistors.php>

- **よくある質問**

FAQ: <http://gansystems.com/gan-transistors/faq/>

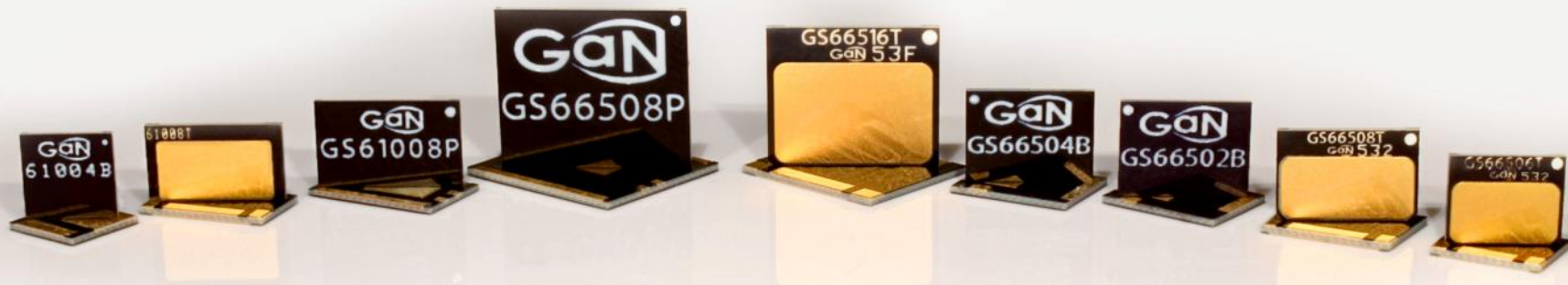
- **論文, プレゼンテーション資料**

Papers and Presentations: <http://gansystems.com/design-center/papers/>



Tomorrow's power today™

GaN Systems



GaN Systems

[www.gansystems.com](http://www.gansystems.com) • North America • Europe • Asia